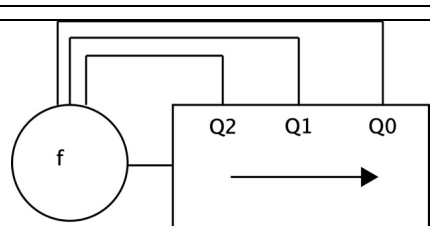
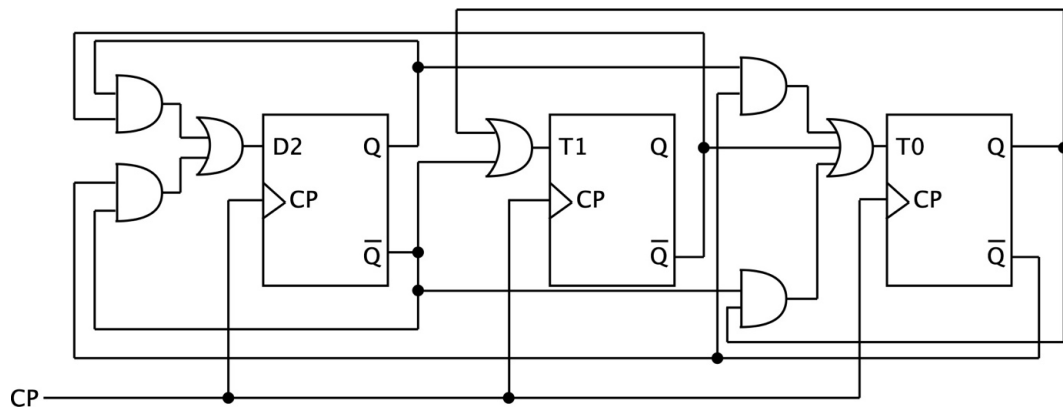


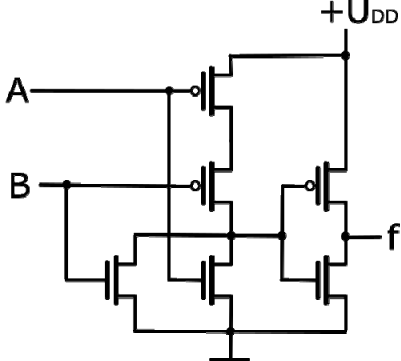
ZAVRŠNI ISPIT IZ DIGITALNE LOGIKE

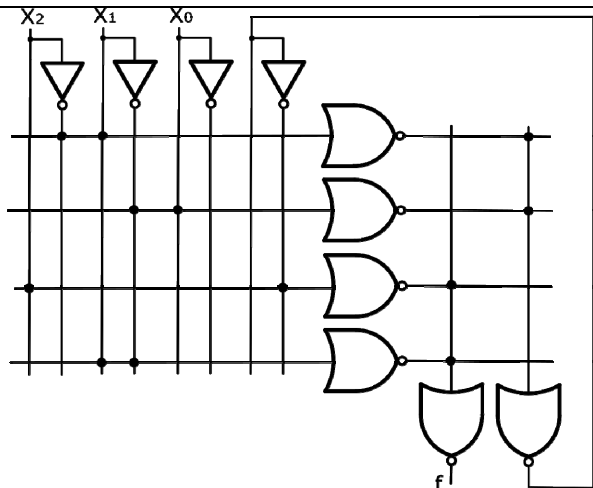
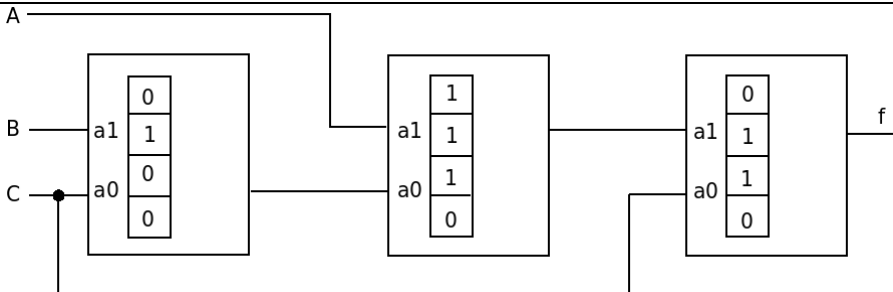
Grupa A

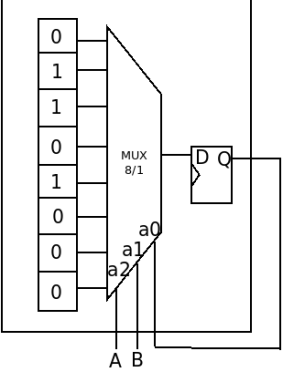
1	3-bitno asinkrono binarno broji broji u ciklusu sa 6 stanja. Ako izlaze iz bistabila označimo s $Q_2Q_1Q_0$, što je potrebno dovesti na asinkrone ulaze za postavljanje koji se aktiviraju s 1? Asinkroni ulazi za postavljanje svih bistabila spojeni su zajedno. a) $Q_2\bar{Q}_1\bar{Q}_0$ c) $\bar{Q}_2\bar{Q}_1\bar{Q}_0$ e) $Q_2\bar{Q}_1Q_0$ b) $Q_2Q_1\bar{Q}_0$ d) $\bar{Q}_2\bar{Q}_1Q_0$ f) ništa od navedenoga
2	Asinkrono binarno broji sastoji se od 4 bistabila T s asinkronim ulazima za postavljanje i brisanje koji se aktiviraju s 0. Ulazi za postavljanje bistabila B_0 i B_3 i ulazi za brisanje bistabila B_1 i B_2 spojeni su zajedno na signal X. Ulazi za brisanje bistabila B_0 i B_3 i ulazi za postavljanje bistabila B_1 i B_2 spojeni su na 1. Koju funkciju moramo dovesti na signal X ako se želi da broji prolazi kroz 11 stanja? a) $\bar{Q}_3 + \bar{Q}_2 + \bar{Q}_1 + \bar{Q}_0$ c) $\bar{Q}_3 + Q_2 + \bar{Q}_1 + \bar{Q}_0$ e) $Q_3 + \bar{Q}_2 + Q_1 + Q_0$ b) $Q_3 + Q_2 + \bar{Q}_1 + \bar{Q}_0$ d) $Q_3 + \bar{Q}_2 + \bar{Q}_1 + \bar{Q}_0$ f) ništa od navedenoga
3	Sinkroni sekvencijski sklop sastoji se od 3 bistabila. Bistabili B_2 i B_0 su tipa D, a bistabil B_1 je tipa T. Ako želimo da se na izlazima bistabila $Q_2Q_1Q_0$ ciklički pojavljuju binarno kodirani dekadski brojevi 0, 3, 2, 1, 4, 5, 6, 7, što moramo dovesti na ulaze bistabila B_2 i B_1? a) $D_2 = Q_2\bar{Q}_0 + \bar{Q}_1Q_0, T_1 = \bar{Q}_2\bar{Q}_0 + Q_2Q_0$ d) $D_2 = Q_0 + \bar{Q}_1, T_1 = \bar{Q}_2 + Q_2Q_1$ b) $D_2 = Q_2Q_0 + Q_1Q_0, T_1 = \bar{Q}_2Q_0 + Q_2Q_1$ e) $D_2 = Q_2 + Q_0, T_1 = \bar{Q}_2Q_0$ c) $D_2 = \bar{Q}_1Q_0, T_1 = \bar{Q}_2Q_0$ f) ništa od navedenoga
4	Sekvencijski sklop izveden je kao Mooreov stroj s konačnim brojem stanja, čije stanje pohranjuju bistabili B_2, B_1 i B_0 (čiji su izlazi Q_2, Q_1 i Q_0), a ulazi su X i Y. Koja od sljedećih funkcija može predstavljati njegov izlaz Z? a) $Y \cdot Q_0$ c) $Q_1 \cdot Q_0 + \bar{Q}_1$ e) $X \cdot Q_1$ b) $Q_1 + X \cdot Q_0$ d) $X \cdot Y$ f) ništa od navedenoga
5	Posmačnim registrom sa slike potrebno je ostvariti broji koje broji u ciklusu 0, 4, 2, 5, 6, 3, 1 (ulaz za signal takta nije prikazan). Sklop mora imati siguran start. Koji od sljedećih izraza opisuje minimalni oblik funkcije f koja se dovodi na serijski ulaz registra?  a) $\bar{Q}_2\bar{Q}_0 + Q_2\bar{Q}_1Q_0$ c) $\bar{Q}_2\bar{Q}_1 + Q_2Q_0$ e) $\bar{Q}_2 + Q_2\bar{Q}_1Q_0$ b) $\bar{Q}_2\bar{Q}_1 + Q_2\bar{Q}_1$ d) $\bar{Q}_2\bar{Q}_1Q_0 + Q_2\bar{Q}_1Q_0$ f) ništa od navedenoga
6	Pogledajte sklop na slici 1. U kojem ciklusu broji to broji? a) 1,7,4,3,6,5,2,0 c) 0,7,1,2,4,5,6,3 e) 1,4,5,3,2,6,7,0 b) 0,1,2,5,4,3,7,6 d) 7,0,2,3,5,4,6,1 f) ništa od navedenoga
7	Pogledajte sklop sa slike 1. Poznati su sljedeći parametri: $t_{dls}=10\text{ns}$, $t_{hold}=10\text{ns}$, $t_{setup}=20\text{ns}$, $t_{db}=20\text{ns}$. Kolika je maksimalna frekvencija signala takta uz koju će sklop raditi ispravno? Odgovori su zaokruženi na jednu decimalu. a) 20,0 MHz b) 16,7 MHz c) 33,3 MHz d) 14,3 MHz e) 10,0 MHz f) ništa od navedenoga
8	Na ulazu sklopa za posmak doveden je broj 11001010. Ako sklop radi aritmetički posmak u desno za 2 mjesta, što će se pojaviti na izlazu sklopa? a) 00110010 b) 11110010 c) 01110010 d) 11001010 e) 00001010 f) ništa od navedenoga



Slika 1. Slika uz zadatke 6 i 7.

9	Neki digitalni sustav oktalne brojeve pohranjuje u 6-znamenkastim registrima, uz korištenje B-komplementa. Neka je sadržaj registra R1 jednak $362077_{(8)}$, a registra R2 jednak $47153_{(8)}$. U registar R3 pohranjuje se rezultat operacije R1-R2. Koji će biti sadržaj registra R3 nakon te operacije? a) $220317_{(8)}$ b) $713514_{(8)}$ c) $312724_{(8)}$ d) $741352_{(8)}$ e) $741353_{(8)}$ f) ništa od navedenoga
10	Koju logičku funkciju ostvaruje sklop izveden tehnologijom CMOS prikazan slikom?  a) I b) ILI c) NI d) NILI e) Ex-ILI f) ništa od navedenoga
11	Sklop ostvaren tehnologijom CMOS priključen je na napon napajanja od 3,6V. Frekvencija signala takta je 100 MHz. Sklop ima dinamičku disipaciju snage 48 mW. Kolika će biti dinamička disipacija snage ako tom sklopu frekvenciju povećamo na 200 MHz, uz nepromijenjen napon napajanja? a) 24 mW b) 48 mW c) 0 mW d) 96 mW e) 192 mW f) ništa od navedenoga
12	Pomoću jednog PROM-a kapaciteta 8×4 bita i dva multipleksora 2/1 potrebno je ostvariti digitalni sklop koji se ponaša kao ROM kapaciteta 16×2 bita, sa sljedećim sadržajem počevši od adrese 0: $\{3,1,2,0,1,0,2,3,2,0,3,1,0,3,1,2\}$. Niža tri bita adrese ciljnog ROM-a spojena su na adresne ulaze početnog PROM-a (a_2 na a_2 , a_1 na a_1 , a_0 na a_0), a najviši bit adrese ciljnog ROM-a spojen je na adresni ulaz oba multipleksora. Na podatkovne ulaze d_1 i d_0 prvog multipleksora spojeni su izlazi PROM-a d_3 i d_2 , a na podatkovne ulaze d_1 i d_0 drugog multipleksora izlazi PROM-a d_1 i d_0 . Izlaz iz prvog multipleksora predstavlja viši bit ciljnog ROM-a, a iz drugoga niži. Koji sadržaj treba biti upisan u početni PROM (sadržaj je naveden u heksadekadskom obliku)? a) E, 4, B, 4, 1, C, 6, B c) 2, 1, 3, 0, 3, 2, 0, 1 e) D, 1, E, 2, 1, A, 6, D b) 3, 1, 2, 0, 2, 0, 3, 1 d) B, 1, F, 4, 1, C, 6, B f) ništa od navedenoga
13	Koliko ekvivalentnih minimalnih oblika u zapisu sume produkata ima funkcija $f(A,B,C,D) = \sum m(0,1,2,3,5,10,11,13,15)$? a) 1 b) 3 c) 2 d) 8 e) 4 f) ništa od navedenoga
14	Koliko je potrebno dekodera 2/4 za realizaciju dekodera 6/64 dekoderskim stablom? a) 21 b) 5 c) 15 d) 7 e) 32 f) ništa od navedenoga

15	Neki digitalni sklop koristi naponske vrijednosti +1V i -1V za prikaz logičkih vrijednosti. Ako je poznato da sklop na izlazu daje vrijednost +1V samo kad su obje naponske razine na ulazu jednake -1 V, a za sve ostale kombinacije ulaznih vrijednosti na izlazu daje -1V, koju logičku funkciju taj sklop ostvaruje u negativnoj logici?	a) I	b) ILI	c) NI	d) NILI	e) Ex-ILI	f) ništa od navedenoga
16	Programirani sklop PLA prikazan je slikom. Koju Booleovu funkciju f ostvaruje taj sklop?						
	a) $\bar{x}_2x_1 + \bar{x}_1x_0$	c) $(\bar{x}_2 + x_0)(x_1 + \bar{x}_0)$	e) $(\bar{x}_2 + \bar{x}_0) \cdot x_1$				
	b) $x_2 + \bar{x}_1 + x_0$	d) $x_2 + x_1\bar{x}_0$	f) ništa od navedenoga				
17	Booleove funkcije $f = A \cdot B + A \cdot C$ i $g = \bar{A} \cdot B + \bar{B} \cdot C$ potrebno je ostvariti poluprogramirljivim logičkim poljem (PAL) tipa NI-NI. Ako s n označimo broj ulaza, s k broj sklopova NI prve razine, a s m broj izlaza, kolike su minimalne dimenzije sklopa PAL ($n \times k \times m$)?	a) $3 \times 1 \times 2$	b) $3 \times 2 \times 2$	c) $3 \times 3 \times 2$	d) $3 \times 5 \times 2$	e) $3 \times 4 \times 2$	f) ništa od navedenoga
18	Funkcija $f(A,B,C)$ ostvarena je uporabom logičkih blokova sklopa FPGA, kako je prikazano slikom. O kojoj se funkciji radi?						
	a) $A + (B \oplus \bar{C})$	c) $AB\bar{C} + \bar{A}\bar{B}C$	e) $A\bar{B} + \bar{C}$				
	b) $(A + B) \oplus C$	d) $\bar{B}\bar{C} + A \cdot (\bar{A} + BC)$	f) ništa od navedenoga				
19	4-bitni DA pretvornik s težinskom mrežom otpora (za kôd 8421) i operacijskim pojačalom na izlazu daje vrijednost od -4,5V. Ako je poznato da najmanji otpor u težinskom dijelu pretvornika iznosi 1kΩ, otpor R_f u povratnoj vezi iznosi 400Ω, a referentni napon je 10V, koja se digitalna vrijednost nalazi na ulazu?	a) 2	b) 9	c) 4,5	d) 4	e) 10	f) ništa od navedenoga
20	8-bitni AD pretvornik sa sukcesivnom aproksimacijom ulazni napon jednak polovici maksimalnog pretvara 240 ns. Koliko dugo će trajati pretvorba maksimalnog ulaznog napona 10-bitnim pretvornikom istog tipa koji radi na istoj frekvenciji takta?	a) 240 ns	b) 1920 ns	c) 480 ns	d) 960 ns	e) 300 ns	f) ništa od navedenoga

21	Logičkim blokom sklopa FPGA ostvaren je bistabil s ulazima A i B, prema slici. Kako glasi jednažba promjene stanja tog bistabila?	
22	Memorija kapaciteta 1024×8 bita ima $2^{1/2}$ D organizaciju i sastoji se od 64 fizičke riječi. Što je potrebno dovesti na vanjske priključke memorije da bi se na posljednju lokaciju upisala vrijednost $19_{(10)}$?	a) $Q_{n+1} = AB\bar{Q}_n + \bar{A}$ c) $Q_{n+1} = (A \oplus B)\bar{Q}_n + \bar{A}\bar{B}Q_n$ e) $Q_{n+1} = (\bar{A} \oplus Q_n)B$ b) $Q_{n+1} = \bar{A}Q_n + B\bar{Q}_n$ d) $Q_{n+1} = A + \bar{B}\bar{Q}_n$ f) ništa od navedenoga
23	Na raspolaganju je veći broj memorijskih modula kapaciteta 64×4 bita. Pomoću njih i jednog dodatnog sklopa treba izgraditi memoriju kapaciteta $1K \times 32$ bita. Koji je dodatni sklop potreban?	a) $a_9-a_0 = 1111110000$, $d_7-d_0 = 00010011$, $R/\bar{W}=0$, $E=1$ b) $a_9-a_0 = 1111111111$, $d_7-d_0 = 11001000$, $R/\bar{W}=1$, $E=1$ c) $a_9-a_0 = 0000010011$, $d_7-d_0 = 11111111$, $R/\bar{W}=1$, $E=0$ d) $a_9-a_0 = 1111111111$, $d_7-d_0 = 00010011$, $R/\bar{W}=0$, $E=1$ e) $a_9-a_0 = 0000010011$, $d_7-d_0 = 00010011$, $R/\bar{W}=1$, $E=1$ f) ništa od navedenoga
24	Na raspolaganju je VHDL model multipleksora 2/1, imena <code>mux21</code>, koji u sučelju redom navodi (s,d0,d1,y), svi tipa <code>std_logic</code>. Na temelju tog sklopa napravljen je strukturni model sklopa (imena <code>fja</code>) koji multipleksorskim stablom ostvaruje funkciju $f(A,B,C) = AB + \bar{B}C$. Ovaj model prikazan je u nastavku. Odredite što treba pisati na mjestu označenom ????. <pre> ENTITY fja IS PORT (A,B,C: IN STD_LOGIC; F: OUT STD_LOGIC); END fja; ARCHITECTURE skl OF fja IS SIGNAL i,j: STD_LOGIC; BEGIN m1: ENTITY WORK.mux21 PORT MAP (s=>A, d0=>C, d1=>C, y=>i); m2: ENTITY WORK.mux21 PORT MAP (????); m3: ENTITY WORK.mux21 PORT MAP (s=>B, d0=>i, d1=>j, y=>f); END skl; </pre>	a) $s \Rightarrow A$, $d_0 \Rightarrow C$, $d_1 \Rightarrow '0'$, $y \Rightarrow j$ d) $s \Rightarrow A$, $d_0 \Rightarrow f$, $d_1 \Rightarrow C$, $y \Rightarrow j$ b) $s \Rightarrow A$, $d_0 \Rightarrow i$, $d_1 \Rightarrow j$, $y \Rightarrow j$ e) $s \Rightarrow A$, $d_0 \Rightarrow '0'$, $d_1 \Rightarrow '1'$, $y \Rightarrow j$ c) $s \Rightarrow A$, $d_0 \Rightarrow B$, $d_1 \Rightarrow i$, $y \Rightarrow j$ f) ništa od navedenoga
25	Tijelo arhitekture ponašajnog VHDL-modela sklopa koji ostvaruje Boolevu funkciju $f(A,B,C)$ dano je u nastavku. Sklop se sintetizira u sklop FPGA koji sadrži dvoulazne CLB-ove temeljene na LUT-ovima. Koliko će CLB-ova sintetizator zauzeti za realizaciju ovog sklopa (u optimalnom slučaju)? <pre> PROCESS(A,B,C) IS VARIABLE abc: std_logic_vector(2 downto 0); BEGIN abc = A&B&C; CASE abc IS WHEN "001" => f <= '0'; WHEN "111" => f <= '0'; WHEN OTHERS => f <= '1'; END CASE; END PROCESS; </pre>	a) 4 b) 1 c) 3 d) 2 e) 5 f) ništa od navedenoga