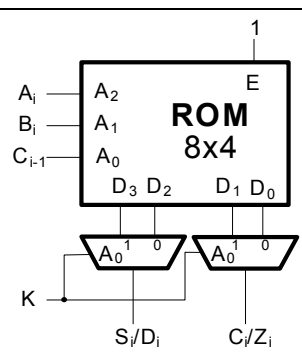
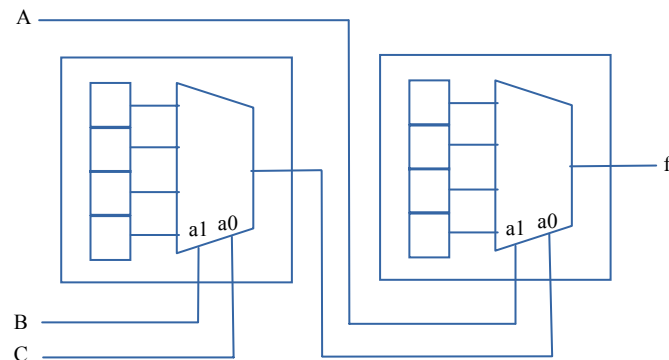


ZAVRŠNI ISPIT IZ DIGITALNE LOGIKE

Grupa D

1	Koliko je minimalno p-kanalnih MOSFET-a potrebno da se u tehnologiji CMOS ostvari trouzadni sklop ILI? a) 5 b) 4 c) 3 d) 2 e) 6 f) ništa od navedenoga
2	Koja od sljedećih tvrdnji vrijedi ako se na ulaz invertora ostvarenog tehnologijom CMOS dovede napon koji u pozitivnoj logici predstavlja logičku nulu? a) p-kanalni MOSFET se ponaša kao isključena, a n-kanalni kao uključena sklopka b) p-kanalni MOSFET se ponaša kao uključena, a n-kanalni kao isključena sklopka c) Oba MOSFET-a ponašaju se kao uključene sklopke d) Oba MOSFET-a ponašaju se kao isključene sklopke e) Uključivanje p-kanalnog MOSFET-a ovisi o iznosu električnog otpora između ulaznog priključka sklopa i mase f) ništa od navedenoga
3	Kako će se promijeniti dinamička disipacija nekog digitalnog sklopa ako se napon napajanja prepolovi, a frekvencija rada udvostruči? a) Smanjit će se na pola c) Povećat će se 8 puta e) Povećat će se 2 puta b) Povećat će se 4 puta d) Ostat će jednaka f) ništa od navedenoga
4	PROM kapaciteta 8×4 bita i dva multipleksora spojeni su prema slici. PROM je potrebno programirati tako da prikazani sklop ostvaruje funkciju potpunog zbrajala/odbijala, ovisno o upravljačkom signalu K (K=0 za zbrajanje; K=1 za oduzimanje). Koja vrijednost treba biti upisana u memorijsku lokaciju 5 (ponuđene vrijednosti su prikazane u heksadekadskom obliku; lokacije su numerirane od 0)?  a) A b) 8 c) E d) 5 e) 1 f) ništa od navedenoga
5	Funkciju $f(A,B,C)=\sum m(1,4,5,6,7)$ potrebno je ostvariti uporabom dvaju konfigurabilnih blokova (CLB) sklopa FPGA, spojenih kako je prikazano slikom. Preglednu tablicu prvog (lijevog) CLB-a označit ćemo s LUT1, a drugog (desnog) s LUT2. Što treba upisati u te pregledne tablice?  a) LUT1: 0,1,1,0; LUT2: 1,0,0,1 b) LUT1: 1,1,0,1; LUT2: 0,0,0,1 c) LUT1: 0,1,0,0; LUT2: 1,1,1,1 d) LUT1: 1,1,1,1; LUT2: 0,1,0,0 e) LUT1: 0,1,0,0; LUT2: 0,1,1,1 f) ništa od navedenoga
6	Na raspolaganju je 4-bitni težinski DA pretvornik s operacijskim pojačalom i težinama 8,4,2,1. Najveći otpor u težinskom dijelu iznosi 24kΩ, a referentni napon napajanja je 12V. Kada se na ulaz takvog pretvornika dovede podatak 9, na izlazu pretvornika dobiva se napon -8,1V. Koji će se napon dobiti na izlazu ako se na ulaz dovede podatak 5? a) -1,2 V b) -5 V c) -7,3 V d) -4,5 V e) -6 V f) ništa od navedenoga

7	Na ulaz 8-bitnog AD pretvornika sa sukcesivnom aproksimacijom doveden je analogni napon koji odgovara digitalnoj vrijednosti 107. Koja će se vrijednost nalaziti u registru pretvornika nakon isteka polovice vremena potrebnog za pretvorbu?	a) 96	b) 53	c) 0	d) 128	e) 149	f) ništa od navedenoga
8	Memorijski modul kapaciteta 1024×8 bita ima 2 ½ D organizaciju. Od koliko se logičkih riječi sastoji jedna fizička riječ tog modula, ako se na adresni dekođer retka dovodi 5 bita adrese?	a) 8	b) 32	c) 4	d) 16	e) 5	f) ništa od navedenoga
9	Pomoću potrebnog broja memorijskih modula kapaciteta 512×4 bita i dodatnog dekodera potrebno je oblikovati memorijski modul kapaciteta 4096×8 bita. Koliko adresnih ulaza mora imati dekođer?	a) 4	b) 2	c) 5	d) 1	e) 3	f) ništa od navedenoga
10	Uz pretpostavku da na raspolaganju imamo potreban broj višeznamenastih binarnih zbrajala, koliko je još potrebno dvoulaznih logičkih sklopova I kako bismo realizirali binarno množilo koje računa umnožak 4-bitnog binarnog broja s 3-bitnim binarnim brojem?	a) 4	b) 7	c) 3	d) 12	e) 24	f) ništa od navedenoga
11	Na ulaz sklopa za posmak doveden je broj 101110001, a na izlazu se pojavio broj 111011100. Sklop za posmak radi sljedeće:	a) aritmetički posmak za 2 mjesta u desno	b) logički posmak za 2 mjesta u desno	c) kružni posmak za 2 mjesta u desno	d) aritmetički posmak za 2 mjesta u lijevo	e) logički posmak za 2 mjesta u lijevo	f) ništa od navedenoga
12	Sinkroni sekvencijski sklop sastoji se od 2 bistabila. Bistabil B1 je tipa T, a bistabil B0 je tipa D. Ako želimo da se na izlazima bistabila Q1Q0 ciklički pojavljuju brojevi 1,3,2,0 (u binarnom obliku), što moramo dovesti na ulaze tih bistabila?	a) $T_1 = Q_1 + Q_0$, $D_0 = \overline{Q_1}Q_0$	b) $T_1 = Q_1 \oplus Q_0$, $D_0 = \overline{Q_1}$	c) $T_1 = Q_1Q_0$, $D_0 = \overline{Q_1}$	d) $T_1 = Q_1$, $D_0 = Q_1 \oplus Q_0$	e) $T_1 = Q_0$, $D_0 = Q_1$	f) ništa od navedenoga
13	Na slici je prikazana shema sekvencijskog sklopa. Sklop je potrebno izvesti s dva D bistabila, D1 i D0. Stanja su kodirana kao Grayev kod. Što treba dovesti na ulaz bistabila D0?						
		a) $D_0 = \overline{X} + \overline{Q_1} \overline{Q_0}$	b) $D_0 = X + Q_1Q_0$	c) $D_0 = X + Q_1$	d) $D_0 = \overline{X} + Q_1Q_0$	e) $D_0 = Q_1Q_0$	f) ništa od navedenoga
14	Sinkrono binarno brojilo sa serijskim prijenosom sastoji se od 16 bistabila. Ako su zadana sljedeća vremena: $T_{db}=10$ ns, $T_{setup}=20$ ns, $T_{dls}=5$ ns, $T_{očit}=20$ ns, koliko iznosi maksimalna frekvencija impulsa takta?	a) 1 MHz	b) 5 MHz	c) 15 MHz	d) 10 MHz	e) 20 MHz	f) ništa od navedenoga

Ako se rješavaju, sljedeća dva zadatka moraju biti riješena u unutrašnjosti košuljice, kako je napisano uz svaki od zadataka. Zadatci se boduju jednako kao i prethodni zadatci (ali nema negativnih bodova). Zadatak mora imati prikazan postupak te konačno rješenje.

Zadatak 23. Riješiti na unutrašnjoj strani košuljice, lijevo.

Napišite VHDL model toka podataka (tj. ponašajni model, ali bez uporabe bloka *process*) multipleksora 4/1 s ulazom za omogućavanje.

Zadatak 24. Riješiti na unutrašnjoj strani košuljice, desno.

Uporabom multipleksora iz prethodnog zadatka napišite strukturni VHDL model potpunog zbrajala.