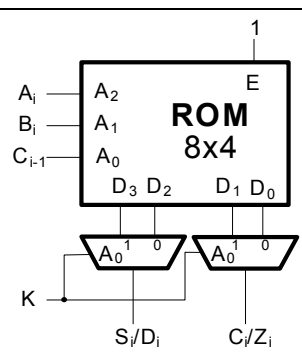
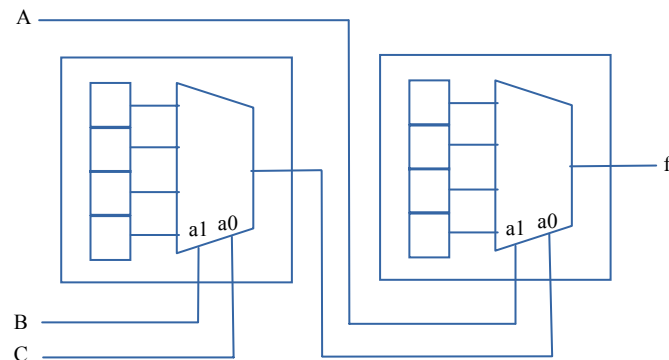


ZAVRŠNI ISPIT IZ DIGITALNE LOGIKE

Grupa C

1	Koliko je minimalno p-kanalnih MOSFET-a potrebno da se u tehnologiji CMOS ostvari trouzadni sklop ILI? a) 2 b) 6 c) 5 d) 4 e) 3 f) ništa od navedenoga
2	Koja od sljedećih tvrdnji vrijedi ako se na ulaz invertora ostvarenog tehnologijom CMOS dovede napon koji u pozitivnoj logici predstavlja logičku nulu? a) Oba MOSFET-a ponašaju se kao isključene sklopke b) p-kanalni MOSFET se ponaša kao isključena, a n-kanalni kao uključena sklopka c) Oba MOSFET-a ponašaju se kao uključene sklopke d) p-kanalni MOSFET se ponaša kao uključena, a n-kanalni kao isključena sklopka e) Uključivanje p-kanalnog MOSFET-a ovisi o iznosu električnog otpora između ulaznog priključka sklopa i mase f) ništa od navedenoga
3	Kako će se promijeniti dinamička disipacija nekog digitalnog sklopa ako se napon napajanja prepolovi, a frekvencija rada udvostruči? a) Ostat će jednaka c) Smanjit će se na pola e) Povećat će se 2 puta b) Povećat će se 4 puta d) Povećat će se 8 puta f) ništa od navedenoga
4	PROM kapaciteta 8×4 bita i dva multipleksora spojeni su prema slici. PROM je potrebno programirati tako da prikazani sklop ostvaruje funkciju potpunog zbrajala/odbijala, ovisno o upravljačkom signalu K (K=0 za zbrajanje; K=1 za oduzimanje). Koja vrijednost treba biti upisana u memorijsku lokaciju 5 (ponuđene vrijednosti su prikazane u heksadekadskom obliku; lokacije su numerirane od 0)?  a) A b) 8 c) 5 d) 1 e) E f) ništa od navedenoga
5	Funkciju $f(A,B,C)=\sum m(1,4,5,6,7)$ potrebno je ostvariti uporabom dvaju konfigurabilnih blokova (CLB) sklopa FPGA, spojenih kako je prikazano slikom. Preglednu tablicu prvog (lijevog) CLB-a označit ćemo s LUT1, a drugog (desnog) s LUT2. Što treba upisati u te pregledne tablice?  a) LUT1: 1,1,1,1; LUT2: 0,1,0,0 b) LUT1: 1,1,0,1; LUT2: 0,0,0,1 c) LUT1: 0,1,0,0; LUT2: 1,1,1,1 d) LUT1: 0,1,0,0; LUT2: 0,1,1,1 e) LUT1: 0,1,1,0; LUT2: 1,0,0,1 f) ništa od navedenoga
6	Na raspolaganju je 4-bitni težinski DA pretvornik s operacijskim pojačalom i težinama 8,4,2,1. Najveći otpor u težinskom dijelu iznosi 24kΩ, a referentni napon napajanja je 12V. Kada se na ulaz takvog pretvornika dovede podatak 9, na izlazu pretvornika dobiva se napon -8,1V. Koji će se napon dobiti na izlazu ako se na ulaz dovede podatak 5? a) -5 V b) -4,5 V c) -7,3 V d) -1,2 V e) -6 V f) ništa od navedenoga

15	Asinkrono binarno brojiilo sastoji se od 4 bistabila T s asinkronim ulazima za postavljanje i brisanje koji se aktiviraju s 1. Ulazi za postavljanje bistabila B_0 i B_1 i ulazi za brisanje bistabila B_2 i B_3 spojeni su zajedno na signal X. Ulazi za brisanje bistabila B_0 i B_1 i ulazi za postavljanje bistabila B_2 i B_3 spojeni su na 0. Koju funkciju moramo dovesti na signal X ako se želi da brojilo prolazi kroz 11 stanja? a) $\overline{Q_3}\overline{Q_2}Q_1Q_0$ c) $Q_3Q_2Q_1Q_0$ e) $Q_3Q_2Q_1\overline{Q_0}$ b) $Q_3\overline{Q_2}Q_1Q_0$ d) $Q_3Q_2\overline{Q_1}\overline{Q_0}$ f) ništa od navedenoga
16	Koliko je minimalno potrebno bistabila T za realizaciju sekvencijskog sklopa koji na izlazu generira sljedeći niz brojeva: 1,2,0,0,3,3? a) 2 b) 6 c) 5 d) 4 e) 3 f) ništa od navedenoga
17	Odredite maksimalnu frekvenciju 4-bitnog asinkronog binarnog brojila unaprijed (koje broji u punom ciklusu). Poznati su sljedeći parametri: $t_{db}=20$ ns, $t_{setup}=10$ ns, $t_{hold}=10$ ns, $t_{oc}=10$ ns. Frekvencije u odgovorima zaokružene su na jednu decimalu. a) 33,3 MHz b) 25,0 MHz c) 99,9 MHz d) 11,1 MHz e) 66,7 MHz f) ništa od navedenoga
18	Tri Booleove funkcije $f(A,B,C,D) = \sum m(1,5,8,9,10,11)$, $g(A,B,C,D) = \sum m(1,3,5,7,8,9)$ i $h(A,B,C,D) = \sum m(3,7,10,11)$ potrebno je ostvariti sklopom PLA tipa NI-NI. Koje su minimalne vrijednosti parametara sklopa PLA (broj ulaza $\times$ broj sklopova NI u prvom polju $\times$ broj sklopova NI u drugom polju)? a) $4 \times 6 \times 3$ b) $3 \times 4 \times 3$ c) $4 \times 4 \times 3$ d) $3 \times 5 \times 4$ e) $4 \times 3 \times 3$ f) ništa od navedenoga
19	Na raspolaganju je trobitni posmačni registar čiji su izlazi $Q_2Q_1Q_0$, a podatak se posmiče od Q_2 prema Q_0. Uporabom tog registra potrebno je ostvariti generator sekvence koji ciklički generira niz bitova: 1, 1, 1, 0, 1, 0, 0. Ovaj niz očitavamo na izlazu Q_0. Uz pretpostavku da sklop ne treba imati siguran start, što se treba dovesti na ulazi S_{in}? a) $Q_2 \oplus Q_1$ b) $Q_1 \oplus Q_0$ c) $Q_2 + Q_1$ d) $Q_2 \oplus Q_0$ e) $Q_2Q_1Q_0$ f) ništa od navedenoga
20	Za neku porodicu logičkih sklopova poznato je sljedeće: širina zabranjenog pojasa na izlazu sklopa iznosi 4,2V, a širina zabranjenog pojasa na ulazu sklopa iznosi 3,4V. Uz pretpostavku da je granica istosmjerne smetnje maksimalna moguća, koliko ona iznosi? a) 0,5V b) 0,4V c) 3,4V d) 1,2V e) 0,8V f) ništa od navedenoga
21	Trobitnu funkciju majoriteta (izlaz je 1 ako je na ulazu više jedinica no nula) potrebno je ostvariti dekodrom 3/8 i logičkim sklopom ILI. Neka su ulazni bitovi a, b i c i neka su tim redoslijedom dovedeni na adresne ulaze dekodera. Neka su izlazi dekodera numerirani počevši od 0. Koje izlaze dekodera treba dovesti na sklop ILI kako bi na njegovu izlazu dobili traženu funkciju? a) 2,3,4,5 b) 0,1,6,7 c) 1,2,4,7 d) 3,5,6,7 e) 1,2,3,4 f) ništa od navedenoga
22	Označimo s n_1 duljinu punog ciklusa u kojem broji 8-bitno binarno brojiilo unaprijed, a s n_2 duljinu ciklusa u kojem broji 8-bitno brojiilo s ukrštenim prstenom. Omjer n_1/n_2 iznosi: a) 1 b) 256 c) 64 d) 16 e) 5 f) ništa od navedenoga

Ako se rješavaju, sljedeća dva zadatka moraju biti riješena u unutrašnjosti košuljice, kako je napisano uz svaki od zadataka. Zadatci se boduju jednako kao i prethodni zadatci (ali nema negativnih bodova). Zadatak mora imati prikazan postupak te konačno rješenje.

Zadatak 23. Riješiti na unutrašnjoj strani košuljice, lijevo.

Napišite VHDL model toka podataka (tj. ponašajni model, ali bez uporabe bloka *process*) multipleksora 4/1 s ulazom za omogućavanje.

Zadatak 24. Riješiti na unutrašnjoj strani košuljice, desno.

Uporabom multipleksora iz prethodnog zadatka napišite strukturni VHDL model potpunog zbrajala.