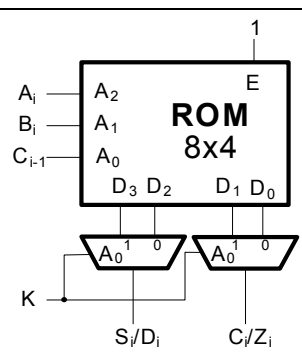
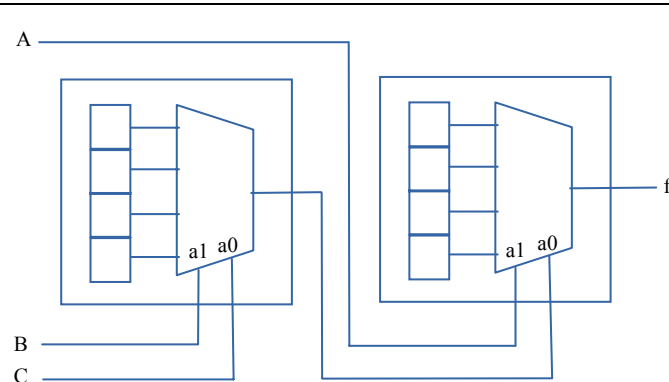
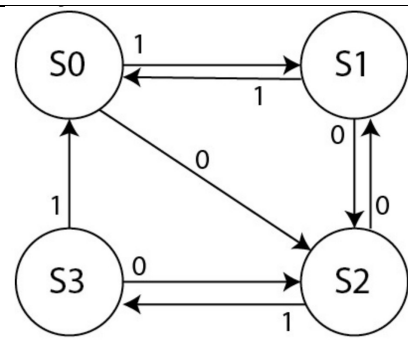


# ZAVRŠNI ISPIT IZ DIGITALNE LOGIKE

## Grupa A

|   |                                                                                                                                                                                                                                                                                                                                                                                                       |                                                                                                                                                                                                                                                                                                                                                                                                                          |      |      |      |      |                        |
|---|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|------|------|------|------------------------|
| 1 | Koliko je minimalno p-kanalnih MOSFET-a potrebno da se u tehnologiji CMOS ostvari trouzadni sklop ILI?                                                                                                                                                                                                                                                                                                | a) 2                                                                                                                                                                                                                                                                                                                                                                                                                     | b) 3 | c) 4 | d) 5 | e) 6 | f) ništa od navedenoga |
| 2 | Koja od sljedećih tvrdnji vrijedi ako se na ulaz invertora ostvarenog tehnologijom CMOS dovede napon koji u pozitivnoj logici predstavlja logičku nulu?                                                                                                                                                                                                                                               | a) p-kanalni MOSFET se ponaša kao uključena, a n-kanalni kao isključena sklopka<br>b) p-kanalni MOSFET se ponaša kao isključena, a n-kanalni kao uključena sklopka<br>c) Oba MOSFET-a ponašaju se kao uključene sklopke<br>d) Oba MOSFET-a ponašaju se kao isključene sklopke<br>e) Uključivanje p-kanalnog MOSFET-a ovisi o iznosu električnog otpora između ulaznog priključka sklopa i mase<br>f) ništa od navedenoga |      |      |      |      |                        |
| 3 | Kako će se promijeniti dinamička disipacija nekog digitalnog sklopa ako se napon napajanja prepolovi, a frekvencija rada udvostruči?                                                                                                                                                                                                                                                                  | a) Ostat će jednaka<br>b) Povećat će se 4 puta<br>c) Povećat će se 8 puta<br>d) Smanjit će se na pola<br>e) Povećat će se 2 puta<br>f) ništa od navedenoga                                                                                                                                                                                                                                                               |      |      |      |      |                        |
| 4 | PROM kapaciteta 8×4 bita i dva multipleksora spojeni su prema slici. PROM je potrebno programirati tako da prikazani sklop ostvaruje funkciju potpunog zbrajala/odbijala, ovisno o upravljačkom signalu K (K=0 za zbrajanje; K=1 za oduzimanje). Koja vrijednost treba biti upisana u memorijsku lokaciju 5 (ponuđene vrijednosti su prikazane u heksadekadskom obliku; lokacije su numerirane od 0)? |                                                                                                                                                                                                                                                                                                                                      |      |      |      |      |                        |
| 5 | Funkciju $f(A,B,C)=\sum m(1,4,5,6,7)$ potrebno je ostvariti uporabom dvaju konfigurabilnih blokova (CLB) sklopa FPGA, spojenih kako je prikazano slikom. Preglednu tablicu prvog (lijevog) CLB-a označit ćemo s LUT1, a drugog (desnog) s LUT2. Što treba upisati u te pregledne tablice?                                                                                                             |                                                                                                                                                                                                                                                                                                                                      |      |      |      |      |                        |
| 6 | Na raspolaganju je 4-bitni težinski DA pretvornik s operacijskim pojačalom i težinama 8,4,2,1. Najveći otpor u težinskom dijelu iznosi 24kΩ, a referentni napon napajanja je 12V. Kada se na ulaz takvog pretvornika dovede podatak 9, na izlazu pretvornika dobiva se napon -8,1V. Koji će se napon dobiti na izlazu ako se na ulaz dovede podatak 5?                                                | a) -4,5 V<br>b) -5 V<br>c) -7,3 V<br>d) -1,2 V<br>e) -6 V<br>f) ništa od navedenoga                                                                                                                                                                                                                                                                                                                                      |      |      |      |      |                        |

|    |                                                                                                                                                                                                                                                                |                                                                                                                                                                                                                                                                                   |       |       |        |        |                        |
|----|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|-------|--------|--------|------------------------|
| 7  | Na ulaz 8-bitnog AD pretvornika sa sukcesivnom aproksimacijom doveden je analogni napon koji odgovara digitalnoj vrijednosti 107. Koja će se vrijednost nalaziti u registru pretvornika nakon isteka polovice vremena potrebnog za pretvorbu?                  | a) 0                                                                                                                                                                                                                                                                              | b) 53 | c) 96 | d) 128 | e) 149 | f) ništa od navedenoga |
| 8  | Memorijski modul kapaciteta 1024×8 bita ima 2 ½ D organizaciju. Od koliko se logičkih riječi sastoji jedna fizička riječ tog modula, ako se na adresni dekođer retka dovodi 5 bita adrese?                                                                     | a) 4                                                                                                                                                                                                                                                                              | b) 5  | c) 8  | d) 16  | e) 32  | f) ništa od navedenoga |
| 9  | Pomoću potrebnog broja memorijskih modula kapaciteta 512×4 bita i dodatnog dekodera potrebno je oblikovati memorijski modul kapaciteta 4096×8 bita. Koliko adresnih ulaza mora imati dekođer?                                                                  | a) 1                                                                                                                                                                                                                                                                              | b) 2  | c) 3  | d) 4   | e) 5   | f) ništa od navedenoga |
| 10 | Uz pretpostavku da na raspolaganju imamo potreban broj višeznamenastih binarnih zbrajala, koliko je još potrebno dvoulaznih logičkih sklopova I kako bismo realizirali binarno množilo koje računa umnožak 4-bitnog binarnog broja s 3-bitnim binarnim brojem? | a) 4                                                                                                                                                                                                                                                                              | b) 12 | c) 3  | d) 7   | e) 24  | f) ništa od navedenoga |
| 11 | Na ulaz sklopa za posmak doveden je broj 101110001, a na izlazu se pojavio broj 111011100. Sklop za posmak radi sljedeće:                                                                                                                                      | a) logički posmak za 2 mjesta u lijevo<br>b) logički posmak za 2 mjesta u desno<br>c) kružni posmak za 2 mjesta u desno<br>d) aritmetički posmak za 2 mjesta u lijevo<br>e) aritmetički posmak za 2 mjesta u desno<br>f) ništa od navedenoga                                      |       |       |        |        |                        |
| 12 | Sinkroni sekvencijski sklop sastoji se od 2 bistabila. Bistabil B1 je tipa T, a bistabil B0 je tipa D. Ako želimo da se na izlazima bistabila Q1Q0 ciklički pojavljuju brojevi 1,3,2,0 (u binarnom obliku), što moramo dovesti na ulaze tih bistabila?         | a) $T_1 = Q_1 \oplus Q_0$ , $D_0 = \overline{Q_1}$<br>b) $T_1 = Q_1 + Q_0$ , $D_0 = \overline{Q_1}Q_0$<br>c) $T_1 = Q_1Q_0$ , $D_0 = \overline{Q_1}$<br>d) $T_1 = Q_1$ , $D_0 = Q_1 \oplus Q_0$<br>e) $T_1 = Q_0$ , $D_0 = Q_1$<br>f) ništa od navedenoga                         |       |       |        |        |                        |
| 13 | Na slici je prikazana shema sekvencijskog sklopa. Sklop je potrebno izvesti s dva D bistabila, D1 i D0. Stanja su kodirana kao Grayev kod. Što treba dovesti na ulaz bistabila D0?                                                                             | <br>a) $D_0 = X + Q_1$<br>b) $D_0 = X + Q_1Q_0$<br>c) $D_0 = \overline{X} + \overline{Q_1}\overline{Q_0}$<br>d) $D_0 = \overline{X} + Q_1Q_0$<br>e) $D_0 = Q_1Q_0$<br>f) ništa od navedenoga |       |       |        |        |                        |
| 14 | Sinkrono binarno brojilo sa serijskim prijenosom sastoji se od 16 bistabila. Ako su zadana sljedeća vremena: $T_{db}=10$ ns, $T_{setup}=20$ ns, $T_{dls}=5$ ns, $T_{očit}=20$ ns, koliko iznosi maksimalna frekvencija impulsa takta?                          | a) 1 MHz<br>b) 5 MHz<br>c) 10 MHz<br>d) 15 MHz<br>e) 20 MHz<br>f) ništa od navedenoga                                                                                                                                                                                             |       |       |        |        |                        |

|    |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |
|----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15 | <p>Asinkrono binarno brojilo sastoji se od 4 bistabila T s asinkronim ulazima za postavljanje i brisanje koji se aktiviraju s 1. Ulazi za postavljanje bistabila <math>B_0</math> i <math>B_1</math> i ulazi za brisanje bistabila <math>B_2</math> i <math>B_3</math> spojeni su zajedno na signal X. Ulazi za brisanje bistabila <math>B_0</math> i <math>B_1</math> i ulazi za postavljanje bistabila <math>B_2</math> i <math>B_3</math> spojeni su na 0. Koju funkciju moramo dovesti na signal X ako se želi da brojilo prolazi kroz 11 stanja?</p> <p>a) <math>Q_3Q_2Q_1\bar{Q}_0</math>                      c) <math>Q_3Q_2Q_1Q_0</math>                      e) <math>\bar{Q}_3\bar{Q}_2Q_1Q_0</math><br/> b) <math>Q_3\bar{Q}_2Q_1Q_0</math>                      d) <math>Q_3Q_2\bar{Q}_1\bar{Q}_0</math>                      f) ništa od navedenoga</p> |
| 16 | <p>Koliko je minimalno potrebno bistabila T za realizaciju sekvencijskog sklopa koji na izlazu generira sljedeći niz brojeva: 1,2,0,0,3,3?</p> <p>a) 2                      b) 3                      c) 4                      d) 5                      e) 6                      f) ništa od navedenoga</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |
| 17 | <p>Odredite maksimalnu frekvenciju 4-bitnog asinkronog binarnog brojala unaprijed (koje broji u punom ciklusu). Poznati su sljedeći parametri: <math>t_{db}=20</math> ns, <math>t_{setup}=10</math> ns, <math>t_{hold}=10</math> ns, <math>t_{oc}=10</math> ns. Frekvencije u odgovorima zaokružene su na jednu decimalu.</p> <p>a) 33,3 MHz    b) 11,1 MHz    c) 99,9 MHz    d) 25,0 MHz    e) 66,7 MHz    f) ništa od navedenoga</p>                                                                                                                                                                                                                                                                                                                                                                                                                                |
| 18 | <p>Tri Booleove funkcije <math>f(A,B,C,D) = \sum m(1,5,8,9,10,11)</math>, <math>g(A,B,C,D) = \sum m(1,3,5,7,8,9)</math> i <math>h(A,B,C,D) = \sum m(3,7,10,11)</math> potrebno je ostvariti sklopom PLA tipa NI-NI. Koje su minimalne vrijednosti parametara sklopa PLA (broj ulaza <math>\times</math> broj sklopova NI u prvom polju <math>\times</math> broj sklopova NI u drugom polju)?</p> <p>a) <math>4 \times 6 \times 3</math>                      b) <math>4 \times 4 \times 3</math>                      c) <math>3 \times 4 \times 3</math>                      d) <math>3 \times 5 \times 4</math>                      e) <math>4 \times 3 \times 3</math>                      f) ništa od navedenoga</p>                                                                                                                                           |
| 19 | <p>Na raspolaganju je trobitni posmačni registar čiji su izlazi <math>Q_2Q_1Q_0</math>, a podatak se posmiče od <math>Q_2</math> prema <math>Q_0</math>. Uporabom tog registra potrebno je ostvariti generator sekvence koji ciklički generira niz bitova: 1, 1, 1, 0, 1, 0, 0. Ovaj niz očitavamo na izlazu <math>Q_0</math>. Uz pretpostavku da sklop ne treba imati siguran start, što se treba dovesti na ulazi <math>S_{in}</math>?</p> <p>a) <math>Q_2 \oplus Q_1</math>                      b) <math>Q_1 \oplus Q_0</math>                      c) <math>Q_2 + Q_1</math>                      d) <math>Q_2Q_1Q_0</math>                      e) <math>Q_2 \oplus Q_0</math>                      f) ništa od navedenoga</p>                                                                                                                                  |
| 20 | <p>Za neku porodicu logičkih sklopova poznato je sljedeće: širina zabranjenog pojasa na izlazu sklopa iznosi 4,2V, a širina zabranjenog pojasa na ulazu sklopa iznosi 3,4V. Uz pretpostavku da je granica istosmjerne smetnje maksimalna moguća, koliko ona iznosi?</p> <p>a) 0,5V                      b) 1,2V                      c) 3,4V                      d) 0,4V                      e) 0,8V                      f) ništa od navedenoga</p>                                                                                                                                                                                                                                                                                                                                                                                                                |
| 21 | <p>Trobitnu funkciju majoriteta (izlaz je 1 ako je na ulazu više jedinica no nula) potrebno je ostvariti dekodrom 3/8 i logičkim sklopom ILI. Neka su ulazni bitovi <math>a</math>, <math>b</math> i <math>c</math> i neka su tim redoslijedom dovedeni na adresne ulaze dekodera. Neka su izlazi dekodera numerirani počevši od 0. Koje izlaze dekodera treba dovesti na sklop ILI kako bi na njegovu izlazu dobili traženu funkciju?</p> <p>a) 2,3,4,5                      b) 0,1,6,7                      c) 1,2,4,7                      d) 1,2,3,4                      e) 3,5,6,7                      f) ništa od navedenoga</p>                                                                                                                                                                                                                              |
| 22 | <p>Označimo s <math>n_1</math> duljinu punog ciklusa u kojem broji 8-bitno binarno brojilo unaprijed, a s <math>n_2</math> duljinu ciklusa u kojem broji 8-bitno brojilo s ukrštenim prstenom. Omjer <math>n_1/n_2</math> iznosi:</p> <p>a) 1                      b) 256                      c) 16                      d) 64                      e) 5                      f) ništa od navedenoga</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                             |

*Ako se rješavaju, sljedeća dva zadatka moraju biti riješena u unutrašnjosti košuljice, kako je napisano uz svaki od zadataka. Zadatci se boduju jednako kao i prethodni zadatci (ali nema negativnih bodova). Zadatak mora imati prikazan postupak te konačno rješenje.*

**Zadatak 23. Riješiti na unutrašnjoj strani košuljice, lijevo.**

Napišite VHDL model toka podataka (tj. ponašajni model, ali bez uporabe bloka *process*) multipleksora 4/1 s ulazom za omogućavanje.

**Zadatak 24. Riješiti na unutrašnjoj strani košuljice, desno.**

Uporabom multipleksora iz prethodnog zadatka napišite strukturni VHDL model potpunog zbrajala.