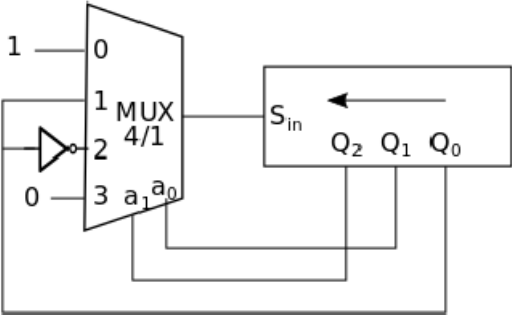
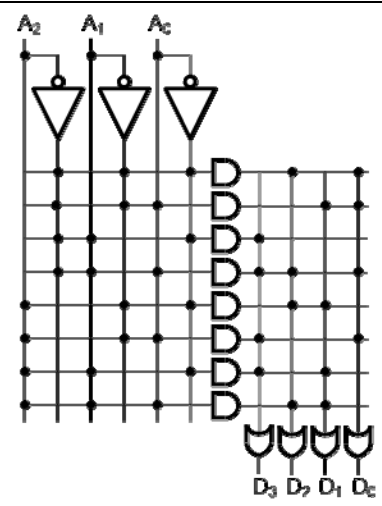
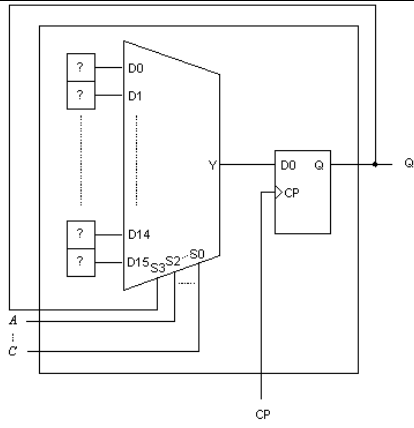
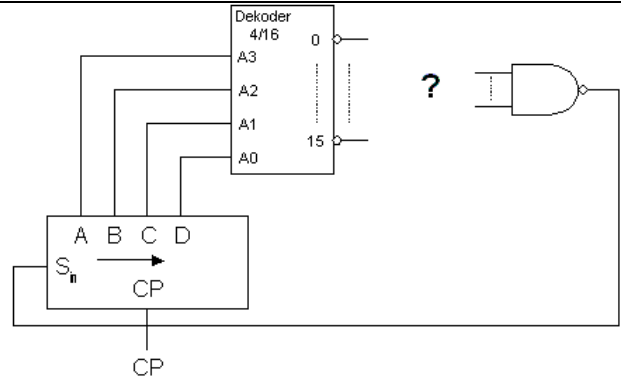


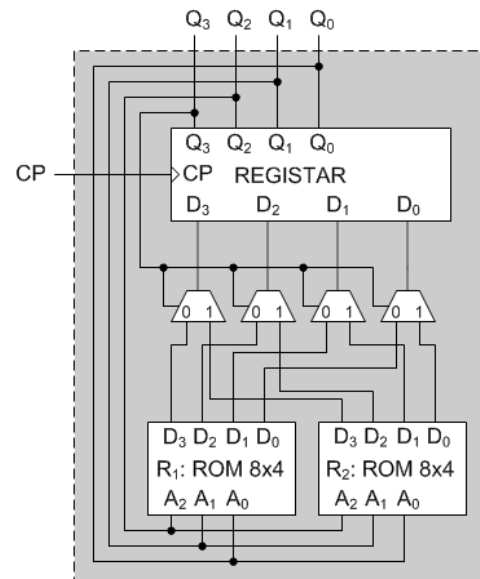
ZAVRŠNI ISPIT IZ DIGITALNE LOGIKE

Grupa C

1	Koliko je multipleksora 2/1 potrebno za realizaciju multipleksorskog stabla 8/1? a) 8 b) 7 c) 4 d) 15 e) 3 f) ništa od navedenoga
2	Mooreov stroj s konačnim brojem stanja ima 4 stanja i izgrađen je pomoću dva bistabila tipa T. Stanje S_i kodirano je binarnim zapisom broja i. Sklop ima jedan ulaz X i jedan izlaz Z. Ako je $X=0$, sklop iz stanja S_i prelazi u stanje S_{i+1}, a ako je $X=1$ iz stanja S_i prelazi u stanje S_{i+2} (oboje u modulo 4 aritmetici - npr. ako se sklop nalazi u stanju S_3, za $X=0$ prijeći će u stanje S_0, a za $X=1$ u stanje S_1). Izlaz Z je 1 u stanju S_3, a u svim ostalim stanjima je 0. Kako glase logičke jednačbe za ulaze T_1 i T_0 dvaju bistabila? a) $T_1 = Q_1 + \bar{Q}_0$; $T_0 = X$ b) $T_1 = Q_0 \cdot \bar{Q}_1$; $T_0 = Q_1 \cdot X$ c) $T_1 = \bar{Q}_1 + \bar{Q}_0$; $T_0 = 1$ d) $T_1 = Q_0 \cdot \bar{X}$; $T_0 = T_1 + X$ e) $T_1 = Q_0 + X$; $T_0 = \bar{X}$ f) ništa od navedenoga
3	Trobitnim posmačnim registrom u lijevo i multipleksorom 4/1 ostvaren je sklop prema slici. Koji od sljedećih nizova predstavlja dio ciklusa brojanja tog sklopa te ima li prikazani sklop siguran start?  a) $7 \rightarrow 3 \rightarrow 0 \rightarrow 2$; nema b) $6 \rightarrow 7 \rightarrow 3 \rightarrow 1$; ima c) $1 \rightarrow 4 \rightarrow 0 \rightarrow 2$; nema d) $0 \rightarrow 1 \rightarrow 4 \rightarrow 6$; nema e) $3 \rightarrow 7 \rightarrow 6 \rightarrow 4$; ima f) ništa od navedenoga
4	Sekvencijski sklop s jednim ulazom X i bez dodatnih izlaza ostvaren je pomoću dva bistabila tipa JK, izravno prema jednačbama: $J_0 = \bar{Q}_1 + X$; $K_0 = Q_0$; $J_1 = \bar{X}$; $K_1 = Q_1 + \bar{Q}_0$. Stanje S_i kodirano je kao binarno zapisani broj i. U koja je stanja moguće prijeći s $X=1$? a) S_1 i S_3 b) S_1, S_2 i S_3 c) S_0 d) S_0 i S_1 e) sva četiri f) ništa od navedenoga
5	Razmatramo tri različite izvedbe 5-bitnog binarnog brojila unaprijed: asinkronu, sinkronu s paralelnim prijenosom te sinkronu sa serijskim prijenosom. Neka je f_A maksimalna frekvencija rada asinkronog brojila, f_P maksimalna frekvencija sinkronog brojila s paralelnim prijenosom, a f_S maksimalna frekvencija sinkronog brojila sa serijskim prijenosom. Ako je vrijeme kašnjenja bistabila $t_{db} = 20$ ns, a vremena kašnjenja logičkih sklopova, postavljanja bistabila i očitavanja su jednaka te iznose $t_{dls} = t_{setup} = t_{oc} = 10$ ns, koji odnos vrijedi između maksimalnih frekvencija rada tih triju izvedbi? a) $f_A > f_P > f_S$ b) $f_A > f_S > f_P$ c) $f_P > f_S > f_A$ d) $f_S > f_P > f_A$ e) $f_S > f_A > f_P$ f) ništa od navedenoga
6	Standardni programirljivi modul koji ima fiksno dekodersko polje, a programirljivo kodersko polje je: a) FPGA b) CPLD c) PAL d) PLA e) ROM f) ništa od navedenoga

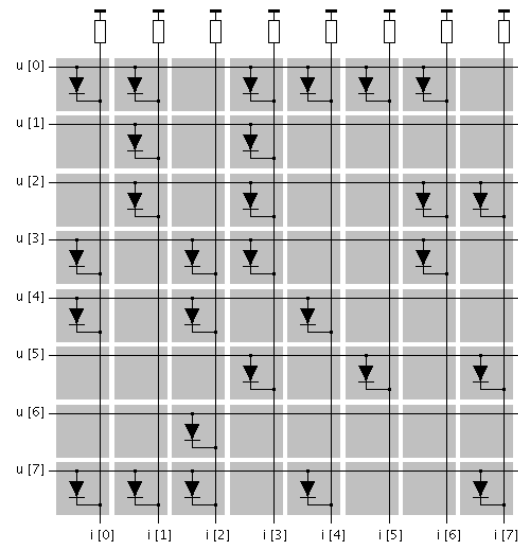
- 7 Na slici je matrični prikaz ROM-a s osam 4-bitnih riječi (ROM 8×4). $A_2A_1A_0$ su adresni bitovi, a $D_3D_2D_1D_0$ su podatkovni bitovi. Sadržaj svake memorijske riječi potrebno je zaštititi uporabom parnog pariteta. Dobiveni niz zaštitnih bitova, počev od onog koji odgovara sadržaju memorijske lokacije 0 je:
- 
- a) 01001101 b) 11101111 c) 00110000 d) 00111001 e) 11000111 f) ništa od navedenoga
- 8 Na raspolaganju je 4-ulazni CLB temeljen na LUT-u i bistabilu D, prikazan slikom. Programirati CLB tako da se dobije bistabil čija je funkcija opisana tablicom.
- Sadržaji prve četiri ćelije LUT-a (ulazi D0 do D3) trebaju biti:
- 
- | A | B | C | Q^{n+1} |
|---|---|---|-----------|
| 0 | 0 | 0 | Q^n |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | Q^n |
| 1 | 0 | 1 | not Q^n |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | not Q^n |
- a) 1011 b) 1110 c) 0110 d) 0011 e) 1001 f) ništa od navedenoga
- 9 Potrebno je projektirati sklop koji će ciklički prolaziti kroz sljedeća stanja: 7, 11, 13, 6, 3, 1, 8, 4, 10, 5, 2, 9, 12, 14. Sklop je potrebno ostvariti uporabom strukture prikazane na slici (posmaćni registar + dekodler 4/16 s niskom aktivnim izlazima). Nespecificirana stanja treba riješiti tako da sklop najbrže stigne u stanje 2. Koje sve izlaze treba spojiti na logički sklop NI? Prilikom očitavanja stanja, izlaz A tretirati kao bit najveće težine.
- 
- a) 0, 1, 2, 4, 7, 9, 13, 15 c) 0, 1, 2, 4, 7, 9, 11, 12 e) 2, 4, 5, 6, 7, 9, 11, 12
b) 0, 1, 2, 5, 6, 9, 11, 12 d) 1, 2, 4, 7, 9, 11, 12, 14 f) ništa od navedenoga
- 10 Razmatramo slanje podataka komunikacijskim kanalom na kojem djeluju pogreške. Stoga se podatci kodiraju na način da se svaki bit pošalje 7 puta. Koliko pogrešaka takav kod može ispraviti?
- a) 7 b) 3 c) 1 d) 2 e) 6 f) ništa od navedenoga
- 11 Koliko je minimalno potrebno p-kanalnih MOSFET-a kako bi u tehnologiji CMOS realizirali funkciju: $f = \sum m(0, 1, 2, 3, 6, 7, 10, 11, 14, 15)$?
- a) 3 b) 6 c) 5 d) 4 e) 7 f) ništa od navedenoga

- 12 Na raspolaganju je sklop prikazan na slici. Memorije R1 i R2 potrebno je programirati tako da se dobije brojilo koje broji u ciklusu $5 \rightarrow 14 \rightarrow 1 \rightarrow 7 \rightarrow 9 \rightarrow 15 \rightarrow 6 \rightarrow 11 \rightarrow 8 \rightarrow 2 \rightarrow 4 \rightarrow 3 \rightarrow 12 \rightarrow 10 \rightarrow 13 \rightarrow 0$ (prilikom očitavanja stanja, Q3 tretirati kao bit najveće težine). Koji će sadržaj biti upisan u memoriju R1 na lokaciju 0, a koji u memoriju R2 na lokaciju 7? U odgovorima su ponuđeni traženi podatci u heksadekadskom zapisu.



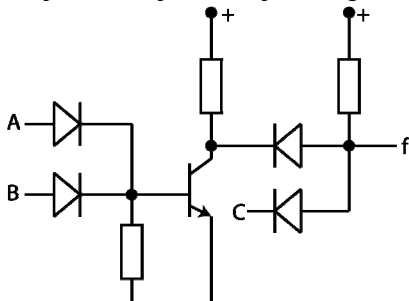
- a) F, 7 b) B, 3 c) 1, 0 d) 4, C e) 5, 6 f) ništa od navedenoga

- 13 Kodersko polje permanentne memorije prikazano je na slici. Izlazi dekodera su $u[0]$ do $u[7]$. Odredite podatak koji je zapisan na memorijskoj lokaciji 4. Odgovori su dani u heksadekadskoj notaciji. Prilikom očitavanja zapisanih podataka, obratiti pažnju da je bit označen na slici kao $i[7]$ (skroz desno) bit najveće težine.



- a) 57 b) 73 c) EA d) 1E e) 15 f) ništa od navedenoga

- 14 Koju funkciju obavlja sklop na slici?



- a) $f(A, B, C) = \sum m(5)$
 b) $f(A, B, C) = \sum m(0)$
 c) $f(A, B, C) = \sum m(1, 2)$
 d) $f(A, B, C) = \sum m(4, 7)$
 e) $f(A, B, C) = \sum m(1)$
 f) ništa od navedenoga

- 15 Za dvije skupine integriranih sklopova poznati su sljedeći podaci. Skupina A: $I_{OL}=20 \text{ mA}$, $I_{IL}=100 \text{ }\mu\text{A}$, $I_{OH}=500 \text{ }\mu\text{A}$, $I_{IH}=20 \text{ }\mu\text{A}$. Skupina B: $I_{OL}=40 \text{ mA}$, $I_{IL}=200 \text{ }\mu\text{A}$, $I_{OH}=300 \text{ }\mu\text{A}$, $I_{IH}=10 \text{ }\mu\text{A}$. Koliko je ulaza sklopova skupine B moguće spojiti na izlaz sklopa skupine A?

- a) 50 b) 30 c) 20 d) 100 e) 200 f) ništa od navedenoga

16	8-bitni AD pretvornik sa sukcesivnom aproksimacijom ulazni napon od 10V pretvara 40 μ s. Procijenite koliko bi vremena 9-bitni pretvornik izveden istom tehnologijom uz isti signal takta i sve ostale relevantne parametre pretvarao ulazni napon od 20V? a) 15 μ s b) 80 μ s c) 45 μ s d) 40 μ s e) 90 μ s f) ništa od navedenoga
17	Zadan je n -bitni DA pretvornik s težinskom otpornom mrežom, referentnim naponom od 5V, operacijskim pojačalom i otporom u povratnoj vezi operacijskog pojačala R_f . Najveći otpor u težinskoj otpornoj mreži je 4.5 puta veći od R_f . Koji napon se pojavljuje na izlazu prilikom pretvorbe broja 9? a) -10V b) -5V c) -4.5V d) -2.25V e) -9V f) ništa od navedenoga
18	Pogrešku kvantizacije paralelnog AD pretvornika potrebno je smanjiti 8 puta, što se želi postići povećanjem rezolucije pretvornika. Za koliko je minimalno bitova potrebno povećati reprezentaciju izlaznog podatka? a) 4 b) 8 c) 3 d) 2 e) 1 f) ništa od navedenoga
19	Kapacitet memorije je 16K $\times$ 8 bita. Ako je organizacija memorijskog polja 2 $\frac{1}{2}$ D, a duljina fizičke riječi 32 bita, koliko adresnih ulaza ima adresni dekodler? a) 12 b) 10 c) 15 d) 4 e) 8 f) ništa od navedenoga
20	Memorijski moduli imaju kapacitet 512 $\times$ 4 bita. Njihovom uporabom potrebno je ostvariti memoriju kapaciteta 4096 $\times$ 16 bita. Koliko će izlaza imati dodatni adresni dekodler koji aktivira memorijske module? a) 3 b) 4 c) 5 d) 10 e) 8 f) ništa od navedenoga
21	Kapacitet memorije je 64K $\times$ 1 bit. Ako se koristi 3D organizacija memorijskog polja, koliko će dekoderi adresa imati ukupno izlaza? a) 16 b) 1024 c) 32 d) 512 e) 4096 f) ništa od navedenoga
22	Koja od sljedećih tvrdnji ne vrijedi za dinamičke memorije? a) periodičko osvježavanje sadržaja d) mala površina ćelije b) jednotranzistorska ćelija e) velika gustoća pakiranja bitova c) memorijska ćelija se sastoji od bistabila f) ništa od navedenoga

Ako se rješavaju, sljedeća dva zadatka moraju biti riješena u unutrašnjosti košuljice, kako je napisano uz svaki od zadataka. Zadatci se boduju jednako kao i prethodni zadatci (ali nema negativnih bodova). Zadatak mora imati prikazan postupak te konačno rješenje.

Zadatak 23. Riješiti na unutrašnjoj strani košuljice, lijevo.

Napišite ponašajni VHDL model bistabila JK okidanog padajućim bridom signala takta te s dodatnim asinkronim ulazom za brisanje koji se aktivira niskom razinom.

Zadatak 24. Riješiti na unutrašnjoj strani košuljice, desno.

Pretpostavite da na raspolaganju imate komponentu DFF (D-bistabil s dodatnim asinkronim ulazima za postavljanje S_d i brisanje C_d koji se aktiviraju visokom razinom). Uporabom te komponente napišite strukturni model 4-bitnog prstenastog brojala s dodatnim asinkronim ulazom *reset* koji će brojilo postaviti u stanje 1000.