

# ZAVRŠNI ISPIT IZ DIGITALNE LOGIKE

## Grupa B

|   |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |
|---|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 1 | <p>Na slici je prikazan dijagram promjene stanja sinkronog sekvencijskog sklopa. Stanje <math>S_i</math> kodirano je Grayevim kôdom broja <math>i</math>. Ako se za izvedbu ovog sklopa koriste bistabili tipa D, odredite potrebne Booleove funkcije ulaza D bistabila B1, te izlaza sklopa Z. Ulaz sklopa označen je s X, izlaz sa Z a izlazi iz bistabila s Q1 i Q0.</p> <p>a) <math>D_1 = X Q_0 + \overline{Q_1} \overline{Q_0}</math>, <math>Z = \overline{X} Q_1 + X \overline{Q_1}</math><br/> b) <math>D_1 = \overline{X} \overline{Q_0} + X Q_0</math>, <math>Z = \overline{X} + X \overline{Q_1}</math><br/> c) <math>D_1 = \overline{X} \overline{Q_1} \overline{Q_0}</math>, <math>Z = \overline{X} Q_1</math><br/> d) <math>D_1 = X Q_0</math>, <math>Z = X \overline{Q_1} \overline{Q_0}</math><br/> e) <math>D_1 = X Q_0 + \overline{X} \overline{Q_1} \overline{Q_0}</math>, <math>Z = \overline{Q_1} Q_0</math><br/> f) ništa od navedenoga</p>                                                          |
| 2 | <p>Sinkroni sekvencijski sklop sastoji se od bistabila T i bistabila JK čiji izlazi su redom označeni s <math>Q_0</math> i <math>Q_1</math>, dok je ulaz označen sa S. Funkcije za ulaze bistabila izravno su ostvarene prema sljedećim izrazima: <math>T = S \cdot \overline{Q_1}</math>, <math>J = S \cdot (\overline{Q_1} + Q_0)</math> i <math>K = \overline{Q_1} + Q_0</math>. Ako su dinamički parametri korištenih bistabila: <math>t_{dB}=20</math> ns, <math>t_{setup}=10</math> ns, <math>t_{hold}=5</math> ns i <math>t_{dls}=10</math> ns, koliko iznosi maksimalna frekvencija takta ovog sklopa?</p> <p>a) 33 MHz    b) 100 MHz    c) 20 MHz    d) 18.2 MHz    e) 10 MHz    f) ništa od navedenoga</p>                                                                                                                                                                                                                                                                                                      |
| 3 | <p>Neki Mooreov automat sastoji se od tri bistabila; ulaz automata je X, a izlaz Z. Izlazi bistabila su <math>Q_2</math>, <math>Q_1</math> i <math>Q_0</math>. Koja od sljedećih funkcija može predstavljati izlaz ovog automata?</p> <p>a) <math>Z = Q_1 Q_0 + \overline{Q_2}</math>    c) <math>Z = Q_1 (Q_0 \oplus X) + \overline{Q_2}</math>    e) <math>Z = \overline{X}</math><br/> b) <math>Z = \overline{Q_2} Q_0 X</math>    d) <math>Z = Q_1 + \overline{Q_2} Q_0 X</math>    f) ništa od navedenoga</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |
| 4 | <p>Neki sinkroni automat izgrađen je od dva rastućim bridom okidana bistabila T; ulaz automata je X. Vremenski parametri bistabila su <math>t_{dB}=20</math> ns, <math>t_{setup}=10</math> ns, <math>t_{hold}=5</math> ns; <math>t_{dls}=10</math> ns. Funkcije za ulaze bistabila glase: <math>T_1 = Q_0 + X Q_1</math> i <math>T_0 = \overline{X} \overline{Q_1} \overline{Q_0} + \overline{X} Q_1 Q_0 + X \overline{Q_1}</math>. Stanje <math>S_i</math> kodirano je binarnim zapisom broja <math>i</math> (npr. stanju S2 odgovara kôd 10). Frekvencija signala takta je 1 MHz; takt je simetričan i u <math>t=0</math> započinje njegova poluperioda u kojoj je vrijednost signala 0. Ulaz X je u <math>t=0</math> <math>\mu</math>s jednak 0, a u trenutku 3,3 <math>\mu</math>s prelazi u 1. Ako je u trenutku <math>t=0</math> automat u stanju S0, u kojem će stanju biti u trenutku 6,8 <math>\mu</math>s?</p> <p>a) S2    c) S3    e) nema dovoljno podataka<br/> b) S4    d) S1    f) ništa od navedenoga</p> |
| 5 | <p>Digitalni sklop u pozitivnoj logici ostvaruje Booleovu funkcije <math>f(A, B, C) = A + BC</math>. Kako glasi minimalni oblik funkcije koju taj sklop ostvaruje u negativnoj logici?</p> <p>a) <math>A(B + C)</math>    c) <math>\overline{A}</math>    e) <math>\overline{A} B + BC</math><br/> b) <math>\overline{A} + \overline{B} \overline{C}</math>    d) <math>\overline{A} + B(\overline{A} + C)</math>    f) ništa od navedenoga</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |
| 6 | <p>Koliko je ukupno MOSFET-tranzistora potrebno da se dvoulazni logički sklop I izvede u tehnologiji CMOS?</p> <p>a) 2    b) 6    c) 4    d) 8    e) 3    f) ništa od navedenoga</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |
| 7 | <p>Digitalni sklop sastoji se od sklopova dviju skupina S1 i S2. Za porodicu S1 poznato je: <math>I_{OL}=16</math> mA, <math>I_{IL}=2</math> mA, <math>I_{OH}=4</math> mA, <math>I_{IH}=0.4</math> mA; za porodicu S2 poznato je: <math>I_{OL}=8</math> mA, <math>I_{IL}=1</math> mA, <math>I_{OH}=2</math> mA, <math>I_{IH}=0.1</math> mA. Pretpostavimo da izlaz sklopa iz skupine S1 moramo povezati s ulazima sklopova iz skupine S2. Koliko najviše ulaza sklopova iz skupine S2 možemo priključiti na izlaz sklopa S1?</p> <p>a) 4    b) 40    c) 16    d) 10    e) 5    f) ništa od navedenoga</p>                                                                                                                                                                                                                                                                                                                                                                                                                 |

|    |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |  |
|----|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--|
| 8  | <p>Digitalni sklop S1 radi na frekvenciji takta <math>f = 1</math> GHz, a napaja se naponom od 10 V. Projektant želi oblikovati novu inačicu tog sklopa (S2) koja bi radila na istoj frekvenciji takta, ali uz napon napajanja od 5 V. Kakav će biti odnos između dinamičkih disipacija snage sklopova S1 i S2?</p> <p>a) dinamička disipacija snage za S2 bit će 4 puta veća od snage za S1<br/> b) dinamička disipacija snage za S2 bit će 2 puta veća od snage za S1<br/> c) dinamička disipacija snage za S1 bit će 2 puta veća od snage za S2<br/> d) dinamička disipacija snage za S1 bit će 4 puta veća od snage za S2<br/> e) dinamička disipacija snage za S1 bit će 8 puta veća od snage za S2<br/> f) ništa od navedenoga</p> |  |
| 9  | <p>Sklopom prikazanim na slici potrebno je ostvariti dvije Booleove funkcije:</p> $f_1(A,B,C,D) = \sum m(2,3,6,9,10,11,14,15) \text{ i}$ $f_2(A,B,C,D) = \sum m(0,1,2,3,12,13,14).$ <p>Kako glasi sadržaj permanentne memorije uz koji sklop ostvaruje zadane funkcije? U odgovorima je sadržaj ponuđen počev od memorijske lokacije 0.</p> <p>a) 3,F,0,8,4,C,3,E<br/> b) 1,9,D,D,2,2,E,8<br/> c) C,F,0,1,2,3,C,7<br/> d) C,F,0,2,1,3,C,B<br/> e) 3,F,0,4,8,C,3,D<br/> f) ništa od navedenoga</p>                                                                                                                                                                                                                                        |  |
| 10 | <p>Poluprogramirljivo polje programirano je prema slici. Odredite minimalni zapis funkcije <math>f(x_2, x_1, x_0)</math> koju ostvaruje taj sklop? Na prva tri ulaza sklopa (s lijeva na desno) dovedeno je redom <math>x_2</math>, <math>x_1</math> te <math>x_0</math>.</p> <p>a) <math>x_2 + x_1 \bar{x}_0</math><br/> b) <math>x_2 \bar{x}_0 + \bar{x}_1 x_0</math><br/> c) <math>x_2 \bar{x}_1 \bar{x}_0 + \bar{x}_2 x_1</math><br/> d) <math>x_1 + x_0</math><br/> e) <math>\bar{x}_2 + \bar{x}_1 x_0</math><br/> f) ništa od navedenoga</p>                                                                                                                                                                                       |  |
| 11 | <p>Slika prikazuje dio djelomično programiranog sklopa FPGA koji se sastoji od dva konfigurabilna logička bloka. Što je potrebno upisati u drugi logički blok kako bi prikazani sklop ostvarivao logičku funkciju <math>f(A,B,C) = AB + \bar{C}</math>? U odgovorima je ponuđen sadržaj prikazan počev od najniže adrese.</p> <p>a) 1,1,1,0<br/> b) 0,1,1,0<br/> c) 1,0,1,1<br/> d) 0,1,1,1<br/> e) 1,0,0,0<br/> f) ništa od navedenoga</p>                                                                                                                                                                                                                                                                                              |  |
| 12 | <p>Koja se vrsta standardnih programirljivih modula sastoji od programirljivog polja I te programirljivog polja ILI?</p> <p>a) PLA<br/> b) EEPROM<br/> c) PAL<br/> d) ROM<br/> e) FPGA<br/> f) ništa od navedenoga</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |  |

|    |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
|----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 13 | Kako povećanje razlučivanja od jednog bita kod izvedbe paralelnog $n$ -bitnog AD pretvornika utječe na broj potrebnih komparatora?<br>a) Nisu potrebni dodatni komparatori.<br>b) Potreban je dvostruki broj komparatora.<br>c) Potrebna su dva dodatna komparatora.<br>d) Potrebna su četiri dodatna komparatora.<br>e) Potreban je jedan dodatni komparator.<br>f) ništa od navedenoga                                                                                                                                                                                                                                                                                                                                                                                                                                                |
| 14 | Ako kod AD pretvorbe najveći mogući ulazni napon iznosi 12V, a mogućnost zapisa digitalnog izlaza se smanji s 14 na 13 bitova, kako će se promijeniti pogreška kvantizacije pretvornika?<br>a) neće se bitno promijeniti<br>b) povećat će se za 50%<br>c) povećat će se za 200%<br>d) povećat će se za 100%<br>e) smanjit će se za 50%<br>f) ništa od navedenoga                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |
| 15 | Memorijsko polje memorije kapaciteta $1024 \times 8$ bita ima 2D organizaciju. Potrebno je ostvariti memoriju jednakog kapaciteta ali $2^{1/2}$ D organizacije memorijskog polja, čiji dekodер redaka ima 512 izlaza. Koliko i kakvih sklopova MUX/DEMUX je potrebno za ostvarenje tog memorijskog modula?<br>a) 1 MUX/DEMUX sklopa 16/1<br>b) 2 MUX/DEMUX sklopa 4/1<br>c) 4 MUX/DEMUX sklopova 2/1<br>d) 8 MUX/DEMUX sklopova 2/1<br>e) 4 MUX/DEMUX sklopova 4/1<br>f) ništa od navedenoga                                                                                                                                                                                                                                                                                                                                            |
| 16 | Na raspolaganju su memorijski moduli kapaciteta $512 \times 4$ bita kojima je potrebno izgraditi memoriju kapaciteta $1024 \times 32$ bita. Koji je adresni bit potrebno dovesti na vanjski adresni dekodер ove memorije ako svaki od memorijskih modula mora pamtit i sadržaj kontinuiranog niza adresa? Adresni bitovi označeni su s $A_i$ .<br>a) $A_0$<br>b) $A_1$<br>c) $A_9$<br>d) $A_8$<br>e) $A_5$<br>f) ništa od navedenoga                                                                                                                                                                                                                                                                                                                                                                                                    |
| 17 | $n$ -bitno asinkrono binarno brojilo ostvareno je bistabilima čije je kašnjenje 25 ns, vrijeme pridržavanja 10 ns, vrijeme postavljanja 20 ns te vrijeme otpuštanja 5 ns. Vrijeme potrebno za očitavanje stanja brojila iznosi 25 ns. Ako je maksimalna frekvencija na kojoj brojilo može raditi 8 MHz, od koliko se bistabila sastoji to brojilo?<br>a) $n=2$<br>b) $n=5$<br>c) $n=8$<br>d) $n=3$<br>e) $n=4$<br>f) ništa od navedenoga                                                                                                                                                                                                                                                                                                                                                                                                |
| 18 | Posmačnim registrom s paralelnim izlazima i serijskim ulazom ostvareno je brojilo koje ciklički prolazi kroz stanja 0, 4, 2, 5, 6, 7, 3, 1. Brojilo je izgrađeno od $n$ bistabila čiji su izlazi $Q_{n-1}, Q_{n-2}, \dots, Q_0$ . Izlaz bistabila $B_{n-1}$ je spojen na ulaz bistabila $B_{n-2}$ , čime je definiran smjer posmaka. Koliko je minimalno potrebno bistabila te kako u tom slučaju glasi minimalni oblik funkcije serijskog ulaza posmačnog registra?<br>a) 3 bistabila, $\overline{Q_2}\overline{Q_0} + Q_1\overline{Q_0} + Q_2\overline{Q_1}Q_0$<br>b) 4 bistabila, $Q_3\overline{Q_0} + Q_1\overline{Q_0} + Q_3Q_1Q_0$<br>c) 2 bistabila, $\overline{Q_1}\overline{Q_0}$<br>d) 3 bistabila, $Q_2\overline{Q_1}Q_0$<br>e) 4 bistabila, $\overline{Q_3}Q_1\overline{Q_0} + \overline{Q_1}Q_0$<br>f) ništa od navedenoga |
| 19 | Sinkrono binarno brojilo unaprijed koje broji u ciklusu od 64 stanja ostvareno je uporabom šest bistabila T. Vrijeme postavljanja bistabila je 10ns, a kašnjenje 25ns. Na raspolaganju su logički sklopovi I s proizvoljnim brojem ulaza, čije je kašnjenje 15ns. Kako nazivamo izvedbu zadanog brojila koja omogućava najbrži rad, te koja je frekvencija rada u tome slučaju?<br>a) brojilo sa serijskim prijenosom, 8 MHz<br>b) brojilo s paralelnim prijenosom, 20 MHz<br>c) brojilo s paralelnim prijenosom, 28 MHz<br>d) brojilo sa serijskim prijenosom, 20 MHz<br>e) brojilo s tranzijentnim prijenosom, 25 MHz<br>f) ništa od navedenoga                                                                                                                                                                                       |
| 20 | Koliko stanja ima ciklus Johnsonovog brojila sastavljenog od $n$ bistabila?<br>a) $n^2$<br>b) $\log_2 n$<br>c) $2n$<br>d) $n$<br>e) $2^n$<br>f) ništa od navedenoga                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |

|    |                                                                                                                                                                                                                                                                                               |
|----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 21 | AD pretvornik sa sukcesivnom aproksimacijom ulazni napon od 3,3V pretvara 33 $\mu$ s. Koliko vremena će isti pretvornik trebati za pretvorbu ulaznog napona od 2,2V?<br>a) 44 $\mu$ s      b) 25 $\mu$ s      c) 11 $\mu$ s      d) 33 $\mu$ s      e) 22 $\mu$ s      f) ništa od navedenoga |
| 22 | Trobitno prstenasto brojilo izvedeno je bistabilima tipa D, bez sklopa za sigurni start. U koliko se različitih ciklusa brojanja može naći to brojilo?<br>a) 1      b) 5      c) 3      d) 8      e) 4      f) ništa od navedenoga                                                            |

*Ako se rješavaju, sljedeća dva zadatka moraju biti riješena na unutrašnjosti košuljice, kako je napisano uz svaki od zadataka; u suprotnom, rješenje se neće priznati. Zadatci se boduju jednako kao i prethodni zadatci (ali nema negativnih bodova). Zadatak mora imati prikazan postupak te konačno rješenje.*

**Zadatak 23. Riješiti na unutrašnjosti košuljice, s lijeve strane.**

4-bitni DA pretvornik s težinskom otpornom mrežom izgrađen je za kôd 8421. Najmanji otpor u otpornoj mreži iznosi 1k $\Omega$ , dok je otpornik u povratnoj vezi otpora 2k $\Omega$ . Referentni napon doveden na DA pretvornik je 5V.

- a) Nacrtajte shemu ovog pretvornika i naznačite iznose svih otpora.
- b) Ako je na izlazu pretvornika očitani napon od -8.75V, odredite struju koja teče kroz najmanji otpornik u otpornoj mreži.

**Zadatak 24. Riješiti na unutrašnjosti košuljice, s desne strane.**

Sučelje modela sinkronog bistabila D okidanog padajućim bridom signala takta je:

```
ENTITY sindff IS PORT(
  d, cp: IN std_logic;
  q: OUT std_logic);
END sindff;
```

Koristeći tu komponentu, napišite strukturni VHDL model 4-bitnog Johnsonovog brojila čiji su izlazi Q0, Q1, Q2 i Q3. Upisani podatak posmiče se od Q0 prema Q3.