

ZAVRŠNI ISPIT IZ DIGITALNE LOGIKE

Grupa A

1	Na slici je prikazan dijagram promjene stanja sinkronog sekvencijskog sklopa. Stanje S_i kodirano je Grayevim kôdom broja i. Ako se za izvedbu ovog sklopa koriste bistabili tipa D, odredite potrebne Booleove funkcije ulaza D bistabila B1, te izlaza sklopa Z. Ulaz sklopa označen je s X, izlaz sa Z a izlazi iz bistabila s Q1 i Q0. a) $D_1 = X Q_0 + \bar{X} \bar{Q}_1 \bar{Q}_0$, $Z = \bar{Q}_1 Q_0$ b) $D_1 = \bar{X} \bar{Q}_0 + X Q_0$, $Z = \bar{X} + X \bar{Q}_1$ c) $D_1 = \bar{X} \bar{Q}_1 \bar{Q}_0$, $Z = \bar{X} Q_1$ d) $D_1 = X Q_0$, $Z = X \bar{Q}_1 \bar{Q}_0$ e) $D_1 = X Q_0 + \bar{Q}_1 \bar{Q}_0$, $Z = \bar{X} Q_1 + X \bar{Q}_1$ f) ništa od navedenoga
2	Sinkroni sekvencijski sklop sastoji se od bistabila T i bistabila JK čiji izlazi su redom označeni s Q_0 i Q_1, dok je ulaz označen sa S. Funkcije za ulaze bistabila izravno su ostvarene prema sljedećim izrazima: $T = S \cdot \bar{Q}_1$, $J = S \cdot (\bar{Q}_1 + Q_0)$ i $K = \bar{Q}_1 + Q_0$. Ako su dinamički parametri korištenih bistabila: $t_{dB}=20$ ns, $t_{setup}=10$ ns, $t_{hold}=5$ ns i $t_{dls}=10$ ns, koliko iznosi maksimalna frekvencija takta ovog sklopa? a) 33 MHz b) 20 MHz c) 100 MHz d) 18.2 MHz e) 10 MHz f) ništa od navedenoga
3	Neki Mooreov automat sastoji se od tri bistabila; ulaz automata je X, a izlaz Z. Izlazi bistabila su Q_2, Q_1 i Q_0. Koja od sljedećih funkcija može predstavljati izlaz ovog automata? a) $Z = Q_1 + \bar{Q}_2 Q_0 X$ c) $Z = Q_1 (Q_0 \oplus X) + \bar{Q}_2$ e) $Z = \bar{X}$ b) $Z = \bar{Q}_2 Q_0 X$ d) $Z = Q_1 Q_0 + \bar{Q}_2$ f) ništa od navedenoga
4	Neki sinkroni automat izgrađen je od dva rastućim bridom okidana bistabila T; ulaz automata je X. Vremenski parametri bistabila su $t_{dB}=20$ ns, $t_{setup}=10$ ns, $t_{hold}=5$ ns; $t_{dls}=10$ ns. Funkcije za ulaze bistabila glase: $T_1 = Q_0 + X Q_1$ i $T_0 = \bar{X} \bar{Q}_1 \bar{Q}_0 + \bar{X} Q_1 Q_0 + X \bar{Q}_1$. Stanje S_i kodirano je binarnim zapisom broja i (npr. stanju S2 odgovara kôd 10). Frekvencija signala takta je 1 MHz; takt je simetričan i u $t=0$ započinje njegova poluperioda u kojoj je vrijednost signala 0. Ulaz X je u $t=0$ μs jednak 0, a u trenutku 3,3 μs prelazi u 1. Ako je u trenutku $t=0$ automat u stanju S0, u kojem će stanju biti u trenutku 6,8 μs? a) S2 c) S3 e) nema dovoljno podataka b) S1 d) S4 f) ništa od navedenoga
5	Digitalni sklop u pozitivnoj logici ostvaruje Booleovu funkcije $f(A,B,C) = A + BC$. Kako glasi minimalni oblik funkcije koju taj sklop ostvaruje u negativnoj logici? a) $\bar{A}$ c) $A(B+C)$ e) $\bar{A} B + BC$ b) $\bar{A} + \bar{B} \bar{C}$ d) $\bar{A} + B(\bar{A} + C)$ f) ništa od navedenoga
6	Koliko je ukupno MOSFET-tranzistora potrebno da se dvoulazni logički sklop I izvede u tehnologiji CMOS? a) 2 b) 4 c) 6 d) 8 e) 3 f) ništa od navedenoga
7	Digitalni sklop sastoji se od sklopova dviju skupina S1 i S2. Za porodicu S1 poznato je: $I_{OL}=16$ mA, $I_{IL}=2$ mA, $I_{OH}=4$ mA, $I_{IH}=0.4$ mA; za porodicu S2 poznato je: $I_{OL}=8$ mA, $I_{IL}=1$ mA, $I_{OH}=2$ mA, $I_{IH}=0.1$ mA. Pretpostavimo da izlaz sklopa iz skupine S1 moramo povezati s ulazima sklopova iz skupine S2. Koliko najviše ulaza sklopova iz skupine S2 možemo priključiti na izlaz sklopa S1? a) 4 b) 5 c) 10 d) 16 e) 40 f) ništa od navedenoga

8	Digitalni sklop S1 radi na frekvenciji takta $f = 1$ GHz, a napaja se naponom od 10 V. Projektant želi oblikovati novu inačicu tog sklopa (S2) koja bi radila na istoj frekvenciji takta, ali uz napon napajanja od 5 V. Kakav će biti odnos između dinamičkih disipacija snage sklopova S1 i S2? a) dinamička disipacija snage za S1 bit će 4 puta veća od snage za S2 b) dinamička disipacija snage za S2 bit će 2 puta veća od snage za S1 c) dinamička disipacija snage za S1 bit će 2 puta veća od snage za S2 d) dinamička disipacija snage za S2 bit će 4 puta veća od snage za S1 e) dinamička disipacija snage za S1 bit će 8 puta veća od snage za S2 f) ništa od navedenoga	
9	Sklopom prikazanim na slici potrebno je ostvariti dvije Booleove funkcije: $f_1(A,B,C,D) = \sum m(2,3,6,9,10,11,14,15) \text{ i}$ $f_2(A,B,C,D) = \sum m(0,1,2,3,12,13,14).$ Kako glasi sadržaj permanentne memorije uz koji sklop ostvaruje zadane funkcije? U odgovorima je sadržaj ponuđen počev od memorijske lokacije 0. a) 3,F,0,8,4,C,3,E b) 3,F,0,4,8,C,3,D c) C,F,0,1,2,3,C,7 d) C,F,0,2,1,3,C,B e) 1,9,D,D,2,2,E,8 f) ništa od navedenoga	
10	Poluprogramirljivo polje programirano je prema slici. Odredite minimalni zapis funkcije $f(x_2, x_1, x_0)$ koju ostvaruje taj sklop? Na prva tri ulaza sklopa (s lijeva na desno) dovedeno je redom x_2, x_1 te x_0. a) $\bar{x}_2 + \bar{x}_1 x_0$ b) $x_2 \bar{x}_0 + \bar{x}_1 x_0$ c) $x_2 \bar{x}_1 \bar{x}_0 + \bar{x}_2 x_1$ d) $x_1 + x_0$ e) $x_2 + x_1 \bar{x}_0$ f) ništa od navedenoga	
11	Slika prikazuje dio djelomično programiranog sklopa FPGA koji se sastoji od dva konfigurabilna logička bloka. Što je potrebno upisati u drugi logički blok kako bi prikazani sklop ostvarivao logičku funkciju $f(A,B,C) = AB + \bar{C}$? U odgovorima je ponuđen sadržaj prikazan počev od najniže adrese. a) 1,0,1,1 b) 0,1,1,0 c) 1,1,1,0 d) 0,1,1,1 e) 1,0,0,0 f) ništa od navedenoga	
12	Koja se vrsta standardnih programirljivih modula sastoji od programirljivog polja I te programirljivog polja ILI? a) ROM b) EEPROM c) PAL d) PLA e) FPGA f) ništa od navedenoga	

13	Kako povećanje razlučivanja od jednog bita kod izvedbe paralelnog n -bitnog AD pretvornika utječe na broj potrebnih komparatora? a) Nisu potrebni dodatni komparatori. b) Potreban je jedan dodatni komparator. c) Potrebna su dva dodatna komparatora. d) Potrebna su četiri dodatna komparatora. e) Potreban je dvostruki broj komparatora. f) ništa od navedenoga
14	Ako kod AD pretvorbe najveći mogući ulazni napon iznosi 12V, a mogućnost zapisa digitalnog izlaza se smanji s 14 na 13 bitova, kako će se promijeniti pogreška kvantizacije pretvornika? a) neće se bitno promijeniti b) povećat će se za 100% c) povećat će se za 200% d) povećat će se za 50% e) smanjit će se za 50% f) ništa od navedenoga
15	Memorijsko polje memorije kapaciteta 1024×8 bita ima 2D organizaciju. Potrebno je ostvariti memoriju jednakog kapaciteta ali $2^{1/2}$ D organizacije memorijskog polja, čiji dekodер redaka ima 512 izlaza. Koliko i kakvih sklopova MUX/DEMUX je potrebno za ostvarenje tog memorijskog modula? a) 1 MUX/DEMUX sklopa 16/1 b) 2 MUX/DEMUX sklopa 4/1 c) 4 MUX/DEMUX sklopova 2/1 d) 4 MUX/DEMUX sklopova 4/1 e) 8 MUX/DEMUX sklopova 2/1 f) ništa od navedenoga
16	Na raspolaganju su memorijski moduli kapaciteta 512×4 bita kojima je potrebno izgraditi memoriju kapaciteta 1024×32 bita. Koji je adresni bit potrebno dovesti na vanjski adresni dekodер ove memorije ako svaki od memorijskih modula mora pamtit i sadržaj kontinuiranog niza adresa? Adresni bitovi označeni su s A_i . a) A_0 b) A_1 c) A_5 d) A_8 e) A_9 f) ništa od navedenoga
17	n -bitno asinkrono binarno brojilo ostvareno je bistabilima čije je kašnjenje 25 ns, vrijeme pridržavanja 10 ns, vrijeme postavljanja 20 ns te vrijeme otpuštanja 5 ns. Vrijeme potrebno za očitavanje stanja brojila iznosi 25 ns. Ako je maksimalna frekvencija na kojoj brojilo može raditi 8 MHz, od koliko se bistabila sastoji to brojilo? a) $n=2$ b) $n=4$ c) $n=8$ d) $n=3$ e) $n=5$ f) ništa od navedenoga
18	Posmačnim registrom s paralelnim izlazima i serijskim ulazom ostvareno je brojilo koje ciklički prolazi kroz stanja 0, 4, 2, 5, 6, 7, 3, 1. Brojilo je izgrađeno od n bistabila čiji su izlazi $Q_{n-1}, Q_{n-2}, \dots, Q_0$. Izlaz bistabila B_{n-1} je spojen na ulaz bistabila B_{n-2} , čime je definiran smjer posmaka. Koliko je minimalno potrebno bistabila te kako u tom slučaju glasi minimalni oblik funkcije serijskog ulaza posmačnog registra? a) 4 bistabila, $Q_3\bar{Q}_0 + Q_1\bar{Q}_0 + Q_3Q_1Q_0$ b) 3 bistabila, $\bar{Q}_2\bar{Q}_0 + Q_1\bar{Q}_0 + Q_2\bar{Q}_1Q_0$ c) 2 bistabila, $\bar{Q}_1\bar{Q}_0$ d) 3 bistabila, $Q_2\bar{Q}_1Q_0$ e) 4 bistabila, $\bar{Q}_3Q_1\bar{Q}_0 + \bar{Q}_1Q_0$ f) ništa od navedenoga
19	Sinkrono binarno brojilo unaprijed koje broji u ciklusu od 64 stanja ostvareno je uporabom šest bistabila T. Vrijeme postavljanja bistabila je 10ns, a kašnjenje 25ns. Na raspolaganju su logički sklopovi I s proizvoljnim brojem ulaza, čije je kašnjenje 15ns. Kako nazivamo izvedbu zadanog brojila koja omogućava najbrži rad, te koja je frekvencija rada u tome slučaju? a) brojilo sa serijskim prijenosom, 8 MHz b) brojilo s paralelnim prijenosom, 28 MHz c) brojilo s paralelnim prijenosom, 20 MHz d) brojilo sa serijskim prijenosom, 20 MHz e) brojilo s tranzijentnim prijenosom, 25 MHz f) ništa od navedenoga
20	Koliko stanja ima ciklus Johnsonovog brojila sastavljenog od n bistabila? a) n^2 b) $\log_2 n$ c) n d) $2n$ e) 2^n f) ništa od navedenoga

21	AD pretvornik sa sukcesivnom aproksimacijom ulazni napon od 3,3V pretvara 33 μ s. Koliko vremena će isti pretvornik trebati za pretvorbu ulaznog napona od 2,2V? a) 44 μ s b) 25 μ s c) 11 μ s d) 22 μ s e) 33 μ s f) ništa od navedenoga
22	Trobitno prstenasto brojilo izvedeno je bistabilima tipa D, bez sklopa za sigurni start. U koliko se različitih ciklusa brojanja može naći to brojilo? a) 1 b) 5 c) 3 d) 4 e) 8 f) ništa od navedenoga

Ako se rješavaju, sljedeća dva zadatka moraju biti riješena na unutrašnjosti košuljice, kako je napisano uz svaki od zadataka; u suprotnom, rješenje se neće priznati. Zadatci se boduju jednako kao i prethodni zadatci (ali nema negativnih bodova). Zadatak mora imati prikazan postupak te konačno rješenje.

Zadatak 23. Riješiti na unutrašnjosti košuljice, s lijeve strane.

4-bitni DA pretvornik s težinskom otpornom mrežom izgrađen je za kôd 8421. Najmanji otpor u otpornoj mreži iznosi 1k Ω , dok je otpornik u povratnoj vezi otpora 2k Ω . Referentni napon doveden na DA pretvornik je 5V.

- a) Nacrtajte shemu ovog pretvornika i naznačite iznose svih otpora.
- b) Ako je na izlazu pretvornika očitani napon od -8.75V, odredite struju koja teče kroz najmanji otpornik u otpornoj mreži.

Zadatak 24. Riješiti na unutrašnjosti košuljice, s desne strane.

Sučelje modela sinkronog bistabila D okidanog padajućim bridom signala takta je:

```
ENTITY sindff IS PORT(  
    d, cp: IN std_logic;  
    q: OUT std_logic);  
END sindff;
```

Koristeći tu komponentu, napišite strukturni VHDL model 4-bitnog Johnsonovog brojila čiji su izlazi Q0, Q1, Q2 i Q3. Upisani podatak posmiče se od Q0 prema Q3.