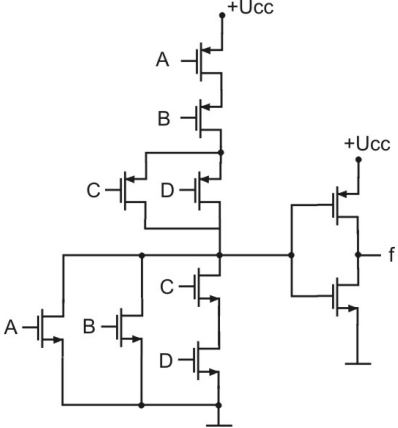
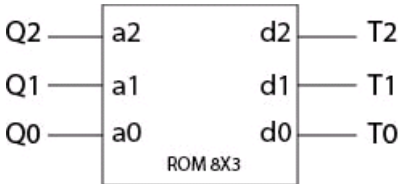


JESENSKI ISPITNI ROK IZ DIGITALNE LOGIKE

Grupa A

1	Napon napajanja digitalnog sklopa je 5 V. Frekvencija takta je 100 MHz. Ako je poznato da ugradnjom većeg hladnjaka dozvoljenu disipaciju sklopa možemo udvostručiti, na kojoj maksimalnoj frekvenciji signala takta može raditi taj sklop ako napon napajanja spustimo na 3,3 V? Ponuđeni odgovori zaokruženi su na jednu decimalu. a) 229,6 MHz c) 459,1 MHz e) 200 MHz b) 150 MHz d) 918,3 MHz f) ništa od navedenoga
2	Koji se od navedenih produkata može koristiti za ocjenu dobrote integriranog sklopa? a) umnožak napona napajanja i frekvencije takta b) umnožak vremena kašnjenja i broja tranzistora c) umnožak disipirane snage i napona napajanja d) umnožak napona napajanja i broja osnovnih sklopova e) umnožak vremena kašnjenja i disipirane snage f) ništa od navedenoga
3	Koju funkciju obavlja sklop na slici?  a) $f(A, B, C, D) = \prod M(0,1,2)$ b) $f(A, B, C, D) = \sum m(0,1,2)$ c) $f(A, B, C, D) = \prod M(1,3,7,10)$ d) $f(A, B, C, D) = \sum m(0,2,4,8)$ e) $f(A, B, C, D) = \sum m(0,1,5,7,10,15)$ f) ništa od navedenoga
4	Koliko je binarnih dekodera 2/4 potrebno za ostvarivanje dekoderskog stabla 6/64? a) 7 b) 21 c) 15 d) 6 e) 33 f) ništa od navedenoga
5	U nekom digitalnom sustavu dekadске znamenke prikazuju se kôdom BCD ($n_3n_2n_1n_0$; n_3 je bit najveće težine). Uporabom jednog dekodera 4/16 s invertiranim izlazima i jednog NI-sklopa potrebno je ostvariti sklop koji će na izlazu dati 1 ako je na ulaz dovedena dekadска znamenka koja veća od 1 i djeljiva s 3. Adresni ulazi dekodera su $a_3a_2a_1a_0$, te je dovedeno $a_3=n_0$, $a_2=n_1$, $a_1=n_2$, $a_0=n_3$ (skicirajte!). Koje izlaze dekodera je potrebno spojiti na ulaze NI-sklopa? a) 3, 6, 12 c) 0, 3, 6, 9 e) 0, 1, 2, 13, 14, 15 b) 6, 9, 12 d) 4, 5, 7, 8, 10, 11 f) ništa od navedenoga
6	Koji je rezultat zbrajanja BCD brojeva 001100010010 i 001101111000 ako je rezultat zbrajanja izražen u XS-3 kodu? a) 101010101111 c) 110101011000 e) 100111000011 b) 011010010001 d) 0011010111101011 f) ništa od navedenoga
7	Oktalni broj 362465_8 zapisan kao heksadekadski glasi: a) 722A4 b) FE3BC c) 1E535 d) 1A3FB e) 231FE f) ništa od navedenoga
8	Koliko minimalnih oblika ima $f(a,b,c,d)=\sum m(0,1,2,3,4,7,8,9,11,12,14,15)$ u zapisu sume produkata? a) 3 b) 2 c) 4 d) 5 e) 1 f) ništa od navedenoga

18	Bistabil čiji su ulazi X i Y ima jednadžbu promjene stanja $Q^{n+1} = X + Q^n \cdot Y$. Bistabil opisane funkcionalnosti potrebno je ostvariti uporabom bistabila JK. Minimalni oblici funkcija za ulaze J i K tada će biti: a) $J = X + Y$; $K = X$ b) $J = X$; $K = \overline{X + Y}$ c) $J = X \cdot Y$; $K = \overline{X}$ d) $J = X + Q^n$; $K = \overline{X + Y} + \overline{Q}^n$ e) $J = Q^n$; $K = \overline{X}$ f) ništa od navedenoga
19	Zadan je sinkroni sekvencijski sklop (na slici) koji se sastoji od 3 bistabila T i ROM-a 8x3. Na ulaze ROM-a dovode se izlazi bistabila kako je prikazano, a na ulaze bistabila dovode se izlazi ROM-a. Kako treba programirati ROM, počevši od najniže memorijske lokacije, a da sklop prolazi kroz sljedeća stanja: $0 \rightarrow 2 \rightarrow 5 \rightarrow 7 \rightarrow 3 \rightarrow 6$. Potrebno je osigurati siguran start prelaskom u stanje 0. Bit d_2 smatrati bitom najveće težine.  a) 1,1,0,5,2,2,7,3 c) 0,1,3,7,0,1,5,6 e) 0,0,1,2,3,5,0,1 b) 1,2,7,5,4,2,6,4 d) 2,1,7,5,4,2,6,4 f) ništa od navedenoga
20	Sinkroni sekvencijski sklop sastoji se od dva bistabila (B_1 je tipa T, a B_0 tipa D). Na ulaze bistabila dovode se sljedeće funkcije: $T_1 = \overline{Q_1}\overline{Q_0} + Q_1Q_0$, $D_0 = Q_1 \oplus Q_0$. Ima li sklop siguran start? Ako su zadana sljedeća vremena: $t_{db}=10\text{ns}$, $t_{setup}=10\text{ns}$, $t_{hold}=10\text{ns}$, $t_{dLS}=10\text{ns}$ a sklop se ostvaruje samo uporabom bistabila te logičkih sklopova I, ILI i NE, kolika će biti maksimalna frekvencija signala takta uz koju će sklop i dalje raditi ispravno? a) Ima siguran start, $f=25\text{ MHz}$ b) Nema siguran start, $f=25\text{ MHz}$ c) Ima siguran start, $f=14,3\text{ MHz}$ d) Nema siguran start, $f=14,3\text{ MHz}$ e) Ima siguran start, $f=10\text{ MHz}$ f) ništa od navedenoga
21	Asinkrono binarno brojilo unaprijed ostvareno je uporabom bistabila T koji imaju dodatne ulaze za brisanje C_d. Dodatni ulazi su spojeni zajedno te se koriste za skraćivanje ciklusa brojila. Ako ciklus sadrži 20 stanja, a ulazi za brisanje se aktiviraju logičkom razinom 1, koju funkciju treba ostvarivati sklop koji upravlja tim ulazima? a) $Q_4\overline{Q_3}\overline{Q_2}Q_1Q_0$ c) $Q_4\overline{Q_3}Q_2\overline{Q_1}\overline{Q_0}$ e) $\overline{Q_4}\overline{Q_3}\overline{Q_2}Q_1Q_0$ b) $Q_4\overline{Q_3}\overline{Q_2}Q_1\overline{Q_0}$ d) $\overline{Q_4}Q_3Q_2Q_1Q_0$ f) ništa od navedenoga
22	Analogno-digitalni pretvornik s postepenim približavanjem (tj. brojeći ADC) radi s taktom od 1kHz. Napon od 0V je ekvivalent broju 0, a napon od 7,6V broju 38. Koliko vremena treba pretvorniku da napon od 2,4V pretvori u broj? a) 24 ms b) 12 ms c) 38 ms d) 76 ms e) 6 ms f) ništa od navedenoga
23	Na raspolaganju je $2^{1/2}D$ memorija s 256 fizičkih riječi, pri čemu je duljina logičke riječi 4 bita. Ako se na pristupni MUX/DEMUX dovode 3 bita, koliki je kapacitet memorije (izražen u bitovima)? a) 2^8 b) 2^{10} c) 2^{15} d) 2^{13} e) 2^{14} f) ništa od navedenoga

Ako se rješavaju, sljedeća dva zadatka moraju biti riješena u unutrašnjosti košuljice, kako je napisano uz svaki od zadataka; u suprotnom, rješenje se neće priznati. Zadatci se boduju jednako kao i prethodni zadatci (ali nema negativnih bodova). Zadatak mora imati prikazan postupak te konačno rješenje.

Zadatak 24. Riješiti na unutrašnjosti košuljice, s lijeve strane.

Neka je dek12e dekodер 1/2 s ulazom za omogućavanje. Napišite VHDL model tog sklopa.

Zadatak 25. Riješiti na unutrašnjosti košuljice, s desne strane.

Na raspolaganju je model poluzbrajala HA:

```
ENTITY HA IS PORT(  
  a, b: IN std_logic;  
  s, cout: OUT std_logic);  
END HA;
```

Koristeći tu komponentu (i po potrebi osnovne logičke sklopove), nacrtajte shemu potpunog zbrajala FA. Na temelju te sheme napišite odgovarajući strukturni VHDL model.

Napomena: boduje se samo napisani VHDL model, no VHDL model bez nacrtane sheme nosi 0 bodova.