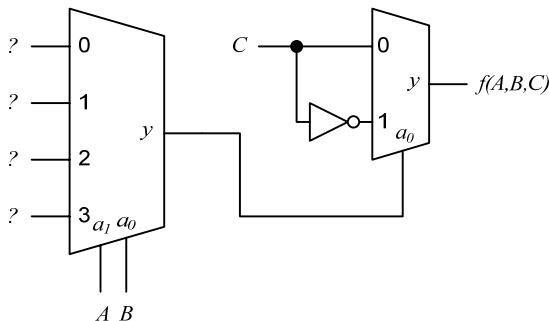


## LJETNI ISPITNI ROK IZ DIGITALNE LOGIKE

### Grupa D

1.	Oktalni broj $4773_{(8)}$ potrebno je pretvoriti u heksadekadski. U pretvorenom broju, koja se znamenka nalazi na mjestu težine $16^2$ ?																			
	a) A	b) 7	c) 9	d) D	e) 2	f) ništa od navedenog														
2.	Aritmetička jedinica obrađuje 16-bitne podatke, pri čemu se negativni brojevi prikazuju B-komplementom. Ako se na ulaz A dovede $03AF_{(16)}$ , te na ulaz B dovede $06F1_{(16)}$ , što će se pojaviti na izlazu, ako sklop računa A-B?																			
	a) $FCBE_{(16)}$	b) $FCBF_{(16)}$	c) $0CBF_{(16)}$	d) $OCBE_{(16)}$	e) $CCBB_{(16)}$	f) ništa od navedenog														
3.	Promotrimo funkciju posudbe $C_i = f(A_i, B_i, C_{i-1})$ potpunog binarnog oduzimala ( $A_i$ je minuend, $B_i$ je suptrahend, $C_{i-1}$ je početna posudba). Kako glasi prikaz te funkcije zapisan u obliku produkta maksterma?																			
	a) $\prod M(1,2,4,7)$	b) $\prod M(0,1,2,4)$	c) $\prod M(0,3,5,6)$	d) $\prod M(1,2,3,7)$	e) $\prod M(0,4,5,6)$	f) ništa od navedenog														
4.	Prijemnik je s komunikacijskog kanala očitao niz bitova $00110111000010100$ . Označimo poziciju najlijevijeg bita s 1, sljedeću s 2, itd. Ako je poznato da sustavi međusobno komuniciraju razmjenjujući poruke zaštićene Hammingovim kodom uz parni paritet, što možemo zaključiti iz primljenog niza bitova? Prepostavlja se da nije moguća pojавa više od jedne pogreške.																			
	a) pogreška je na mjestu 3	b) pogreška je na mjestu 9	c) pogreška je na mjestu 7	d) pogreška je na mjestu 12	e) nije došlo do pogreške	f) ništa od navedenog														
5.	Uporabom Quine McCluskeyjeve metode s Pyne-McCluskeyevim pristupom minimizirati funkciju $f(A, B, C, D, E, F) = \sum m(42, 44, 46, 56, 58)$ . Označimo s X broj primarnih implikanata, s Y broj bitnih primarnih implikanata te sa Z broj minimalnih oblika zadane funkcije (Z). X/Y/Z=?																			
	a) 4/2/1	b) 4/2/2	c) 2/2/1	d) 3/3/2	e) 3/3/1	f) ništa od navedenog														
6.	Za dve skupine logičkih sklopova $P_1$ i $P_2$ poznati su podaci prikazani u tablici. Označimo s $n_1$ faktor grananja skupine $P_1$ , s $n_2$ faktor grananja skupine $P_2$ , te s $n_{1-2}$ faktor grananja prilikom priključenja ulaza sklopova skupine $P_1$ na izlaz sklopa skupine $P_2$ . Vrijedi: $n_1/n_2/n_{1-2}=$																			
	<table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th></th><th><math>I_{OL}</math> [mA]</th><th><math>I_{IL}</math> [<math>\mu</math>A]</th><th><math>I_{OH}</math> [<math>\mu</math>A]</th><th><math>I_{IH}</math> [<math>\mu</math>A]</th></tr> </thead> <tbody> <tr> <td>P1</td><td>16</td><td>1600</td><td>400</td><td>40</td></tr> <tr> <td>P2</td><td>16</td><td>800</td><td>400</td><td>20</td></tr> </tbody> </table>						$I_{OL}$ [mA]	$I_{IL}$ [ $\mu$ A]	$I_{OH}$ [ $\mu$ A]	$I_{IH}$ [ $\mu$ A]	P1	16	1600	400	40	P2	16	800	400	20
	$I_{OL}$ [mA]	$I_{IL}$ [ $\mu$ A]	$I_{OH}$ [ $\mu$ A]	$I_{IH}$ [ $\mu$ A]																
P1	16	1600	400	40																
P2	16	800	400	20																
	a) 10/20/10	b) 20/40/10	c) 20/40/5	d) 10/20/20	e) 10/20/5	f) ništa od navedenog														
7.	U novoj izvedbi digitalnog sklopa napon napajanja smanjen je za 10%. Ako ukupnu dinamičku disipaciju smijemo povećati za 17%, koliko najviše smijemo povisiti frekvenciju rada sklopa? Ponuđena su rješenja s točnosti $\pm 1\%$ .																			
	a) 44%	b) 33%	c) 10%	d) 52%	e) 61%	f) ništa od navedenog														
8.	Digitalni sustav radi sa ternarnim brojevima ( $B=3$ ), i pri tome znamenke kodira dvobitnim kodnim riječima $b_1b_0$ , na sljedeći način: 0=00, 1=01, 2=11. Potrebno je projektirati kombinacijski sklop koji na ulaz dobiva kod znamenke ( $b_1b_0$ ) a na izlazu generira kod znamenke ( $y_1y_0$ ) koji odgovara 2-komplementu ulazne znamenke. Kako glase minimalni oblici funkcija $y_1$ i $y_0$ ?																			
	a) $y_1 = b_1$ , $y_0 = b_1 + \bar{b}_0$	b) $y_1 = b_0$ , $y_0 = b_1$	c) $y_1 = \bar{b}_1 + b_0$ , $y_0 = b_0$	d) $y_1 = \bar{b}_0$ , $y_0 = \bar{b}_1$	e) $y_1 = \bar{b}_1$ , $y_0 = \bar{b}_0$	f) ništa od navedenog														

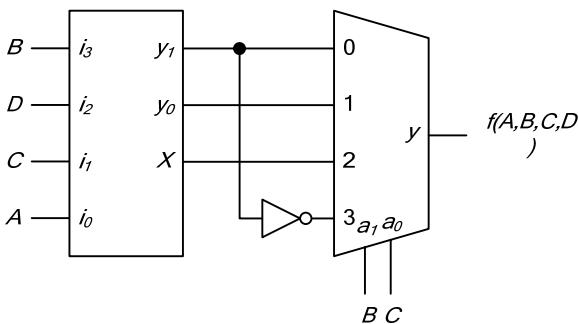
9. Sklop sa slike treba ostvariti funkciju  $f(A,B,C) = \prod M(0,3,5,6)$ . Što treba dovesti na ulaze multipleksora 4/1? U ponuđenim odgovorima vrijednosti su navedene od ulaza 0 prema ulazu 3.



- a) 0,1,1,0  
b) 1,1,1,0  
c) 1,1,0,0  
d) 1,0,1,0  
e) 0,0,1,1  
f) ništa od navedenog

10. U nekom digitalnom sustavu dekadske znamenke kodiraju se pomoću 4 bita  $b_3b_2b_1b_0$ , pri čemu je dekadska znamenka  $i$  kodirana kao binarni broj  $i+2$  (npr. znamenci 5 odgovara kod  $b_3b_2b_1b_0 = 0111$ ). Potrebno je projektirati sklop temeljen na dekoderu 4/16 i jednom ILI sklopu koji će na izlazu dati 1 ako se na ulaz dovede kod znamenke koja je parna i veća od 3. Na adresne ulaze dekodera  $a_3a_2a_1a_0$  dovodi se kod znamenke  $b_3b_2b_1b_0$ . Koje izlaze dekodera treba dovesti na ILI sklop?
- a) 4, 6, 8, 10      b) 8, 10, 12, 14      c) 6, 8, 10  
d) 1, 3, 4, 8      e) 4, 6, 8      f) ništa od navedenog

11. Koju funkciju  $f(A,B,C,D)$  ostvaruje sklop sa slike? Izlaz  $X$  prioritetskog kodera je u 1 ako je na barem jednom ulazu prisutna jedinica; inače  $X=0$  i  $y_1y_0=00$ . Ulaz  $i_3$  je ulaz najvećeg prioriteta.



- a)  $\sum m(2,3,4,5,8,9,12,13)$   
b)  $\sum m(1,2,4,5,9,10,12,13)$   
c)  $\sum m(1,4,5,9,10,12,13)$   
d)  $\sum m(2,3,4,5,8,9,10,11,12,13)$   
e)  $\sum m(4,5,12,13)$   
f) ništa od navedenog

12. Tehnologijom CMOS potrebno je ostvariti funkciju  $f(A,B,C,D,E) = \overline{A}B\overline{C} + \overline{D}\overline{E}$ . Koliko nam treba minimalno tranzistora?
- a) 18      b) 16      c) 10      d) 12      e) 20      f) ništa od navedenog

13. Memorija  $512 \times 2$  bita ima  $2 \frac{1}{2}$  D organizaciju. Koliko logičkih riječi u tom slučaju sadrži jedna fizička riječ, ako se na adresni dekoder retka dovodi 5 bitova adrese?
- a) šesnaest logičkih riječi      d) jednu logičku riječ  
b) četiri logičke riječi      e) trideset i dvije logičke riječi  
c) osam logičkih riječi      f) ništa od navedenog

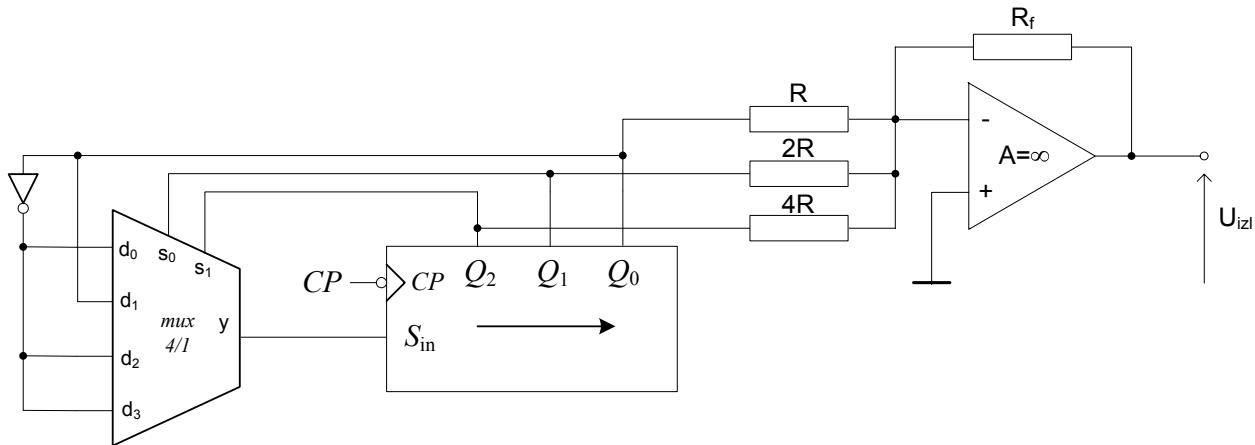
14. Koliko iznosi maksimalna frekvencija rada 5-bitnog sinkronog binarnog brojila s paralelnim prijenosom (prijenos je izведен sklopovima I), ako je poznato  $t_{db} = 20$  ns,  $t_{setup} = 15$  ns,  $t_{dls} = 5$  ns?
- a) 10 MHz      b) 100 MHz      c) 50 MHz      d) 20 MHz      e) 25 MHz      f) ništa od navedenog

15. Pomoću 5 bistabila T izgrađeno je asinkrono binarno brojilo unaprijed. Bistabili imaju još i dodatni asinkroni ulaz za brisanje (reset, ulaz aktivan s 1), i u brojilu su ti ulazi povezani zajedno, te je na njih spojen izlaz sklopa I. Koje stanje taj sklop mora dekodirati ako se puni ciklus brojila želi skratiti za 5?
- a) 12      b) 26      c) 13      d) 3      e) 27      f) ništa od navedenog

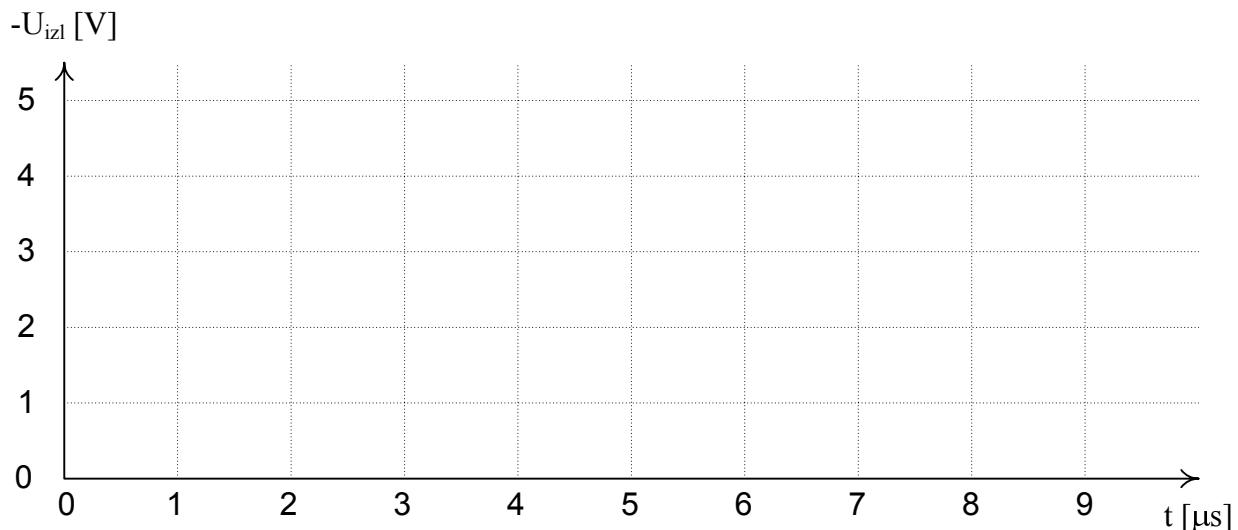
<p>16. Uporabom PLA tipa I-ILI potrebno je ostvariti funkcije: <math>f_1(A, B, C, D) = \sum m(0,3,4,7,10,11) + \sum d(2,8)</math> i <math>f_2(A, B, C, D) = \sum m(0,3,4,7,10,11,12,13,14,15) + \sum d(8)</math>. Ako dimenzije sklopa PLA označimo s <math>x \times y \times z</math>, gdje je <math>x</math> broj ulaza, <math>y</math> broj sklopova I-polja (prvog polja) a <math>z</math> broj sklopova ILI-polja (drugog polja), koji nam je minimalno potreban PLA?</p> <p>a) <math>4 \times 4 \times 2</math>      b) <math>4 \times 5 \times 2</math>      c) <math>4 \times 7 \times 2</math>      d) <math>4 \times 6 \times 2</math>      e) <math>4 \times 3 \times 2</math>      f) ništa od navedenog</p>
<p>17. Pogledajte stroj s konačnim brojem stanja prikazan na slici 1. Što je od sljedećega točno?</p> <p>a) stanja <math>S_0</math> i <math>S_1</math> su ekvivalentna b) stanja <math>S_2</math> i <math>S_5</math> su ekvivalentna c) stanja <math>S_2</math> i <math>S_4</math> su ekvivalentna d) stanja <math>S_2</math> i <math>S_3</math> su ekvivalentna e) stanja <math>S_0</math> i <math>S_6</math> su ekvivalentna f) ništa od navedenog</p>
<p>Slika 1. Stroj s konačnim brojem stanja</p>
<p>18. Pogledajte stroj s konačnim brojem stanja prikazan na slici 1. Početno stanje je <math>S_0</math>. Ako se na njegov ulaz dovede niz <math>1, 1, 1, 1, 1, 1</math>, što će biti generirano na njegovom izlazu?</p> <p>a) 1,0,1,0,0,0      b) 1,0,1,1,1,1      c) 1,0,1,0,1,1 d) 1,1,1,0,0,1      e) 1,0,1,0,0,1      f) ništa od navedenog</p>
<p>19. Pogledajte stroj s konačnim brojem stanja prikazan na slici 1. Taj se stroj direktno (bez minimizacije broja stanja) ostvaruje bistabilima D. Pri tome se koriste 3 bistabila, a stanje <math>S_i</math> kodira se kao broj <math>i</math> zapisan u Grayevom kodu. Što se dovodi na ulaz <math>D_0</math> bistabila koji pohranjuje bit najmanje težine? Ulaz stroja označen je sa <math>x</math>. <math>D_0(Q_2, Q_1, Q_0, x)</math> glasi:</p> <p>a) <math>\sum m(0,1,2,5,6,10,11,12,14,15) + \sum d(8,9)</math>      d) <math>\sum m(0,2,3,5,7,10,11,12,13,15) + \sum d(8,9)</math> b) <math>\sum m(0,1,4,5,10,11,12,13,14,15) + \sum d(8,9)</math>      e) <math>\sum m(0,2,3,4,5,7,10,11,13,15) + \sum d(8,9)</math> c) <math>\sum m(1,2,3,5,6,8,10,11,12,13,14) + \sum d(8,9)</math>      f) ništa od navedenog</p>
<p>20. Pogledajte stroj s konačnim brojem stanja prikazan na slici 1. Prisjetite se kako ste na laboratorijskim vježbama modelirali ovakav stroj (razlaganje modela stroja na 3 bloka process). Ako ulaz stroja označimo sa <math>x</math>, signal koji čuva trenutno stanje sa <math>state</math>, signal koji čuva sljedeće stanje sa <math>nstate</math>, izlaz sa <math>o</math> te takt sa <math>cp</math>, što će biti minimalna lista osjetljivosti bloka process koji određuje <math>o</math>?</p> <p>a) <math>cp</math>      b) <math>state, x</math>      c) <math>state, x, cp</math>      d) <math>state</math>      e) <math>state, cp</math>      f) ništa od navedenog</p>
<p>21. Na raspolaganju je logički blok FPGA sklopa prikazan slikom. Želimo ostvariti bistabil s ulazima A i B čija je jednadžba promjene stanja:  <math display="block">Q^{n+1} = Q^n \cdot (A + \bar{B}) + \bar{A}\bar{B}</math> gdje <math>Q^{n+1}</math> označava sljedeće a <math>Q^n</math> trenutno stanje bistabila. Kako treba programirati logički blok? U rješenjima je LUT očitan od <math>d_0</math> prema <math>d_7</math>.</p> <p>a) LUT=00011101, s=1, t=1 b) LUT=01100001, s=0, t=1 c) LUT=00111010, s=1, t=1 d) LUT=00101110, s=1, t=1 e) LUT=01001101, s=1, t=1 f) ništa od navedenog</p>

*Sljedeća dva zadatka nemaju negativnih bodova i rješenje se pregledava ručno; način bodovanja: točno rješenje +1, netočno ili neodgovoreno 0. Računski dio zadatka 22 mora biti riješen na unutrašnjosti košuljice s lijeve strane a traženi dijagram mора biti nacrtan na ovom papiru u za to predviđeno mjesto. Zadatak 23 mora biti riješen na unutrašnjosti košuljice s desne strane.*

22. Digitalni sustav priključen na digitalno-analogni pretvornik prikazan je na slici.



Signal takta je simetričan poluperiode 500 ns; prvi padajući brid pojavljuje se u trenutku  $t = 1 \mu\text{s}$ . Na vremenskom dijagramu **prikazanom u nastavku** prikažite kretanje izlaznog napona od trenutka  $t = 0$  ns do trenutka  $t = 9,5 \mu\text{s}$ . Pretpostaviti da se izlazi posmačnog registra ponašaju ili kao idealni izvor napona  $U_{REF} = 4 \text{ V}$  ili kao idealni spoj na masu (ovisno o stanju izlaza). Još je poznato:  $R = 8 \text{ k}\Omega$ ,  $R_F = 4 \text{ k}\Omega$ . U trenutku  $t = 0$  ns svi su bistabili registri u stanju 0. Kašnjenja bistabila i logičkih sklopova/modula zanemarite. Obratite pažnju na način (težine!) na koji je pretvornik spojen na izlaze registra.



23. **Na unutrašnjosti košuljice s desne strane** napišite cijelovit VHDL opis stroja s konačnim brojem stanja (ne trebate pisati zaglavljte library te use; sve ostalo treba). Struktura sklopa mora odgovarati kanonskom modelu stroja s konačnim brojem stanja te vrste kako je izložena na predavanjima.