

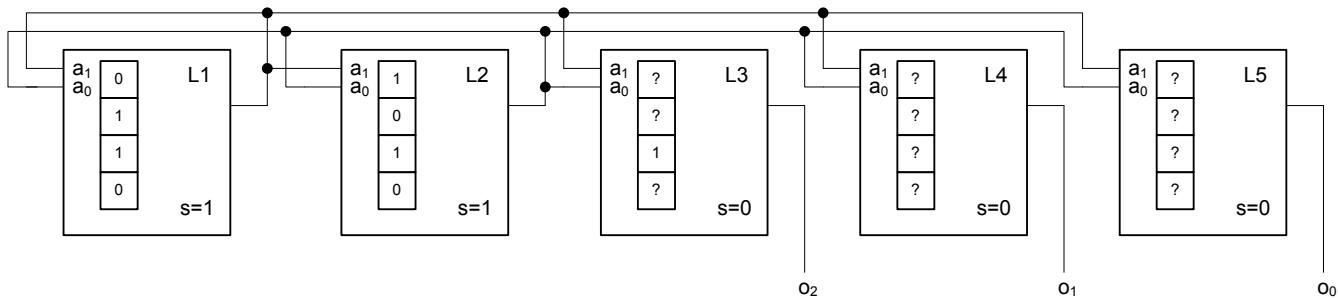
ZAVRŠNI ISPIT IZ DIGITALNE LOGIKE

Grupa D

1.	Digitalni sklop radi s naponskim razinama +3V i -3V. U negativnoj logici, sklop obavlja funkciju $f(A, B, C) = A + \overline{B} \overline{C}$. Napišemo li za tu funkciju tablicu kombinacija naponu, u koliko će redaka izlazni napon U_f biti -3V?					
	a) 5	b) 4	c) 3	d) 2	e) 1	f) ništa od navedenog
2.	Funkciju $f(A, B, C, D) = (\overline{A} \overline{B} + C)\overline{D}$ potrebno je realizirati tehnologijom CMOS. Koliko nam je minimalno potrebno NMOS tranzistora?					
	a) 6	b) 7	c) 3	d) 4	e) 5	f) ništa od navedenog
3.	Hammingovim kodom potrebno je zaštititi podatak 11. Koristi se neparni paritet. Zaštićena kodna riječ je:					
	a) 00000	b) 10101	c) 01010	d) 11010	e) 01111	f) ništa od navedenog
4.	Asinkrono binarno brojilo unaprijed ostvareno je uporabom bistabila T. Bistabili imaju dodatne ulaze za brisanje C_d koji su svi spojeni zajedno, i koriste se za skraćivanje ciklusa brojila. Ako ciklus sadrži 19 stanja a ulazi za brisanje se aktiviraju logičkom razinom 1, koju funkciju treba ostvarivati sklop koji upravlja ulazima za brisanje?					
	a) $\overline{Q}_4 \overline{Q}_3 \overline{Q}_2 \overline{Q}_1 \overline{Q}_0$	c) $Q_4 \overline{Q}_3 \overline{Q}_2 Q_1 Q_0$		e) $\overline{Q}_4 \overline{Q}_3 \overline{Q}_2 Q_1 Q_0$		f) ništa od navedenog
5.	Bistabilima tipa T koji su okidani padajućim bridom signala takta ostvareno je 4-bitno asinkrono binarno brojilo unaprijed. Parametri bistabila su: $t_{db}=20\text{ns}$, $t_{setup}=10\text{ns}$, $t_{hold}=10\text{ns}$. Neposredno prije trenutka $t=100\text{ns}$ brojilo se nalazi u stabilnom stanju 15. U trenutku $t=100\text{ns}$ nastupa padajući brid signala takta. Frekvencija signala takta je 10MHz. Što ćemo očitati na izlazima brojila u trenutku $t=145\text{ns}$?					
	a) 4	b) 0	c) 12	d) 10	e) 8	f) ništa od navedenog
6.	Koliko iznosi maksimalna frekvencija rada 5-bitnog sinkronog binarnog brojila s paralelnim prijenosom? Parametri bistabila su: $t_{db}=12,5\text{ns}$, $t_{setup}=5\text{ns}$, $t_{hold}=5\text{ns}$. Logički sklopovi kasne 2,5ns.					
	a) 10MHz	b) 20MHz	c) 25MHz	d) 40MHz	e) 50MHz	f) ništa od navedenog
7.	Uporabom bistabila JK potrebno je ostvariti bistabil T. Koliko nam je minimalno potrebno osnovnih logičkih sklopova?					
	a) 2	b) 3	c) 1	d) 0	e) 4	f) ništa od navedenog
8.	Za 4-bitni težinski DA pretvornik poznati su sljedeći podaci: otpor u povratnoj vezi operacijskog pojačala $R_f = 1k\Omega$, a najveći otpor u težinskoj mreži iznosi $15k\Omega$. Ako se na ulaz ovog DA pretvornika dovede broj 5, na izlazu će se dobiti napon -2V. Koliko iznosi referentni napon U_{REF} pretvornika?					
	a) 1V	b) 2V	c) 4V	d) 5V	e) 6V	f) ništa od navedenog
9.	Kako glasi minimalni oblik dualne funkcije od $f(A, B, C, D) = \overline{A}(\overline{B} + \overline{D}) + D(A + \overline{B})$?					
	a) $\overline{A} D + A B \overline{D}$	c) $\overline{A} \overline{C} + A \overline{B} C$		e) $\overline{A} \overline{C} + A B C$		f) ništa od navedenog
10.	Za neki digitalni sklop poznati su sljedeći podaci: $U_{OHmin}=4,3\text{V}$, $U_{OLmax}=0,2\text{V}$, $U_{IHmin}=3,8\text{V}$, $U_{ILmax}=0,6\text{V}$. Koliko iznosi granica istosmjerne smetnje ovog sklopa?					
	a) 0,5V	b) 0,4V	c) 0,3V	d) 0,2V	e) 0,1V	f) ništa od navedenog

11.	Multipleksorom 4/1 potrebno je ostvariti funkciju $f(A, B, C, D) = \sum m(1, 2, 3, 7, 9, 10, 12, 13, 15)$. Ako na adresni ulaz a_1 dovedemo A, a na a_0 dovedemo B, što je potrebno dovesti na podatkovni ulaz d_3 ?					
	a) $\bar{C} + D$	b) $C \oplus D$	c) $C \cdot D$	d) $C + D$	e) $C + \bar{D}$	f) ništa od navedenog
12.	Što od navedenoga vrijedi za sljedeći blok process?					
	process (z) begin if $z='0'$ then $a \leq b$; else $a \leq \text{not } b$; end if; end process;	a) opis predstavlja kombinacijski sklop	b) opis predstavlja sekvencijski sklop	c) lista osjetljivosti sadrži 3 signala	d) promjenom signala b simulator će pokrenuti obradu bloka process	e) signal b je izlazni signal (OUT) f) ništa od navedenog
13.	Ostvarite automat sa slike uporabom minimalnog broja bistabila JK. S_i u kružiću predstavlja oznaku stanja, a $[xy]$ predstavlja izlaze. Ulaz je U . Neka stanje S_i bude kodirano binarnom reprezentacijom broja i . Minimalni oblik funkcije ulaza K_0 glasi:					
		a) $\bar{Q}_0 U + Q_0 \bar{U}$	b) U	c) $\bar{Q}_1 + U$	d) $\bar{Q}_0 \bar{U} + Q_0 U$	e) $Q_0 \bar{U} + \bar{Q}_1$ f) ništa od navedenog
14.	Automat iz prethodnog zadatka nalazi se u stanju S_2 . Na ulaz se potom dovodi slijed 0, 1, 0. Na izlazima automata čemoочitati:					
	a) 01,11,01,00 b) 01,11,01,01 c) 01,01,00,01 d) 01,11,11,01 e) 01,11,01,11 f) ništa od navedenog					
15.	Sinkroni sekvencijski sklop izgrađen je od dva bistabila: B_1 je bistabil tipa D, a B_0 je bistabil tipa T. Oba bistabila imaju jednake parametre: $t_{db}=30\text{ns}$, $t_{setup}=10\text{ns}$, $t_{hold}=10\text{ns}$. Bistabili su spojeni na sljedeći način: $D_1 = Q_0$, $T_0 = \bar{Q}_1$. Označimo s f_{max} maksimalnu frekvenciju rada ovog sklopa. Vrijedi:					
	a) $f_{max}=40\text{MHz}$, sklop ima siguran start b) $f_{max}=40\text{MHz}$, sklop nema siguran start c) $f_{max}=50\text{MHz}$, sklop ima siguran start	d) $f_{max}=25\text{MHz}$, sklop nema siguran start e) $f_{max}=25\text{MHz}$, sklop ima siguran start f) ništa od navedenog				
16.	Uporabom bistabila JK potrebno je ostvariti bistabil čija je jednadžba promjene stanja $Q_{n+1} = A \cdot Q_n + \bar{B}$. Što se dovodi na ulaz K?					
	a) $\bar{A} \cdot B$	b) $A \cdot \bar{B}$	c) $Q_n \cdot B$	d) $A \cdot B$	e) $\bar{A} \cdot \bar{B}$	f) ništa od navedenog
17.	Dva digitalna sustava razmjenjuju poruke koristeći sljedeći zaštitni kod $\{0000000000, 1010101010, 1111111111\}$. Koliko pogrešaka taj kod može ispraviti?					
	a) 3 b) 4 c) 1 d) 2 e) 0 f) ništa od navedenog					

18. Uporabom logičkih blokova (CLB) sklopa FPGA potrebno je ostvariti sklop koji na izlazima ciklički generira slijed 2, 3, 7, 1. CLB-ovi su temeljeni na dvoulaznom LUT-u, D bistabilu i multipleksoru čiji je adresni ulaz označen sa s . Kada je $s=0$, na izlaz CLB-a propušta se izlaz LUT-a, dok se za $s=1$ na izlaz CLB-a propušta izlaz bistabila. Djelomično programiranje sklopa već je napravljeno. Što treba upisati u LUT CLB-a označenog s L5?



- a) 1101 b) 0111 c) 1011 d) 0011 e) 1110 f) ništa od navedenog

19. Projektirajte sklop koji na ulaz $n_3n_2n_1n_0$ dobiva 4-bitni podatak, a na izlazu daje 1 ako je taj podatak valjana znamenka kôda BCD. Minimalni oblik funkcije izlaza glasi:

- | | |
|--|--|
| a) $n_3\bar{n}_2 + \bar{n}_3n_2 + \bar{n}_3n_1n_0 + n_3\bar{n}_1\bar{n}_0$ | d) $n_3\bar{n}_0 + \bar{n}_3n_2 + \bar{n}_3n_1n_0 + n_3\bar{n}_1\bar{n}_0 + n_2$ |
| b) $\bar{n}_3 + \bar{n}_2n_0$ | e) $n_3\bar{n}_0 + \bar{n}_3n_2 + \bar{n}_3n_1n_0 + n_3\bar{n}_1\bar{n}_0$ |
| c) $\bar{n}_3 + \bar{n}_2\bar{n}_1$ | f) ništa od navedenog |

20. U nastavku je prikazan VHDL opis izvedbe osnovnog SR bistabila uporabom dva sklopa NILI. Što nedostaje u označenom retku?

```
ENTITY sr IS PORT (
  s, r: IN std_logic;
  q, qn: OUT std_logic);
END sr;
```

```
ARCHITECTURE str OF sr IS
  SIGNAL qint, qnint: std_logic;
  COMPONENT nili IS PORT (
    a, b: IN std_logic;
    y: OUT std_logic);
  END COMPONENT;
BEGIN
  q <= qint;
  qn <= qnint;
  s1: nili PORT MAP (r, qnint, qint);
  s2: _____
END str;
```

- | | |
|------------------------------------|------------------------------------|
| a) nili PORT MAP (r, qnint, qint); | d) nili PORT MAP (s, qint, qnint); |
| b) nili PORT MAP (qint, qnint, q); | e) nili PORT MAP (s, q, qn); |
| c) nili PORT MAP (q, qn, qint); | f) ništa od navedenog |