

10. Implementacija logičkih sklopova

Nekoliko odabranih slideova...

Interpretacija logičkih vrijednosti

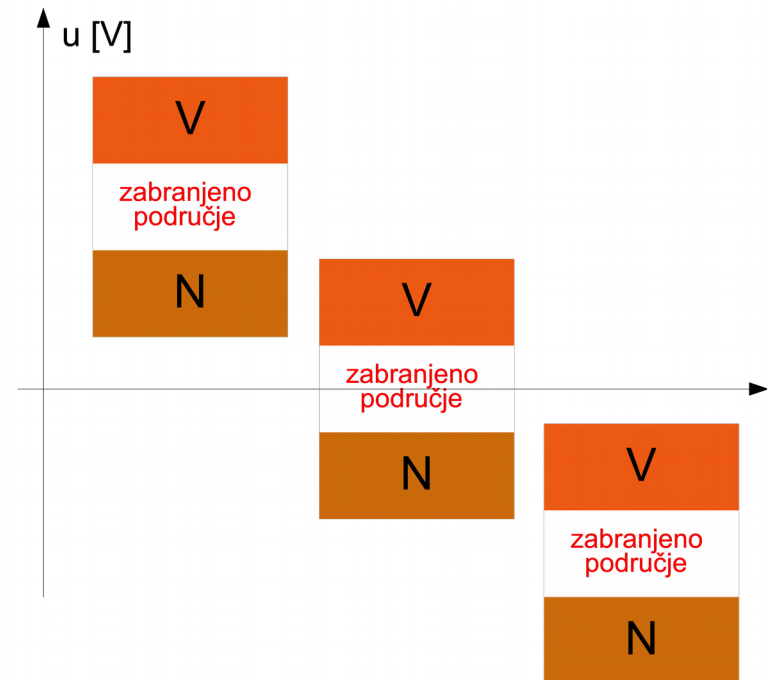
- prikaz logičkih vrijednosti naponskim razinama:

- *pozitivna logika:*

- viši napon ~ 1
- niži napon ~ 0

- *negativna logika:*

- viši napon ~ 0
- niži napon ~ 1



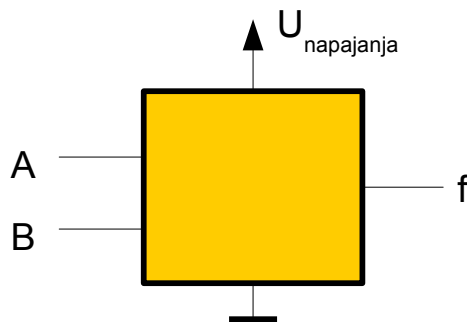
Interpretacija logičkih vrijednosti

- interpretacija tablice kombinacija funkcije I naponskih razina

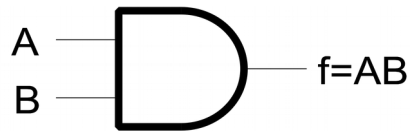
A	B	f
N	N	N
N	V	N
V	N	N
V	V	V

A	B	f
0	0	0
0	1	0
1	0	0
1	1	1

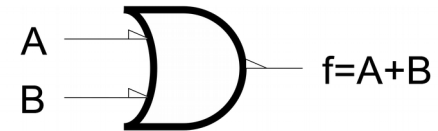
A	B	f
1	1	1
1	0	1
0	1	1
0	0	0



pozitivna
logika



negativna
logika



Interpretacija logičkih vrijednosti

- *dualnost* pozitivne i negativne logike:
 - funkcija I u pozitivnoj logici
~ funkcija ILI u negativnoj logici
 - funkcija ILI u pozitivnoj logici
~ funkcija I u negativnoj logici
 - negativna logika
~ *dual* logičke funkcije!

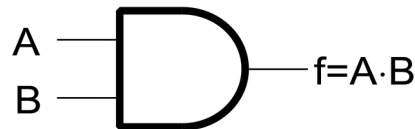
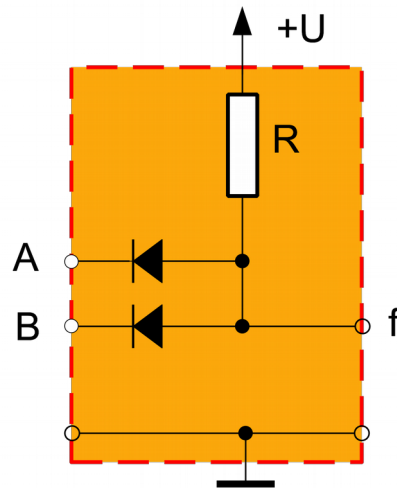
Izvedbe logičkih sklopova I i ILI

- *diodni sklop I* (pozitivna logika)

~ diodna mreža:

$V \sim +U$

$N \sim 0 V$



A	B	f
N	N	N
N	V	N
V	N	N
V	V	V

A	B	f
0	0	0
0	1	0
1	0	0
1	1	1

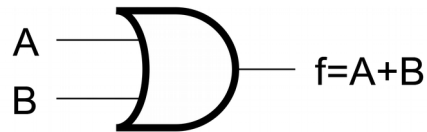
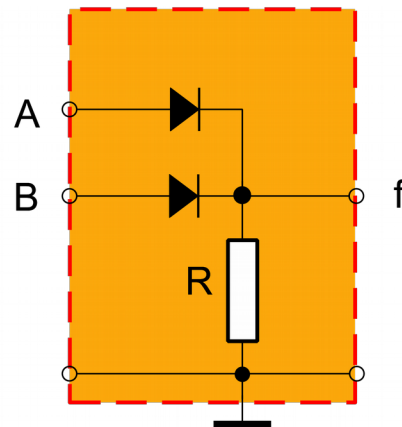
Izvedbe logičkih sklopova I i ILI

- *diodni sklop ILI* (pozitivna logika)

~ (također) diodna mreža:

$V \sim +U$

$N \sim 0\text{ V}$



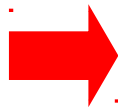
A	B	f
N	N	N
N	V	V
V	N	V
V	V	V

A	B	f
0	0	0
0	1	1
1	0	1
1	1	1

Izvedbe invertora

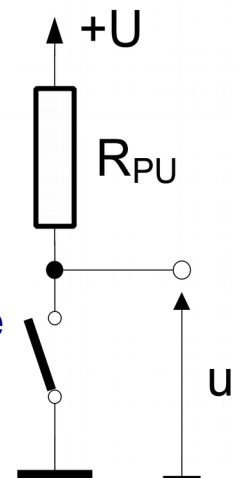
- izvedbe invertora
~ *tranzistorskom sklopkom*
 - sklopka "priteže" u_{izl} na masu ($N \sim 0V$)
 - inače $u_{izl} = V$ ($V \sim +U$):
potrebno postaviti R prema $+U$
~ *pritezanje izlaza na napon napajanja*
(engl. Pull-Up, PU)

A	f
N	V
V	N



A	f
0	1
1	0

upravljanje

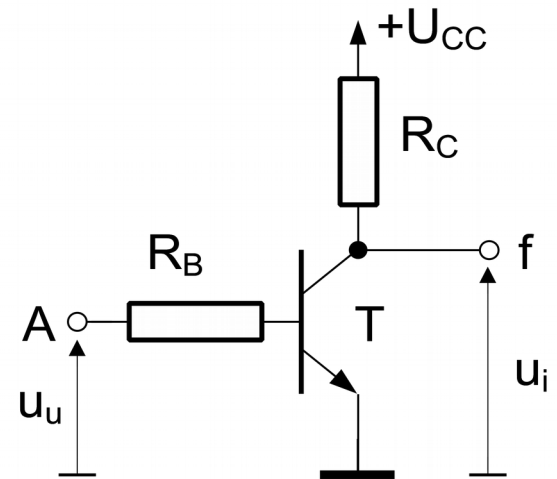


Izvedbe invertora

- izvedba invertora s *bipolarnim (NPN) tranzistorom*:
 - pritezanje izlaza na U_{CC}
 - $\sim$ "pasivno" opterećenje $R_{PU} = R_C \approx k\Omega$
 - $V \sim U_{CC}$ (bez opterećenja izlaza!)
 - $N \sim U_{CS} \approx 0 V$

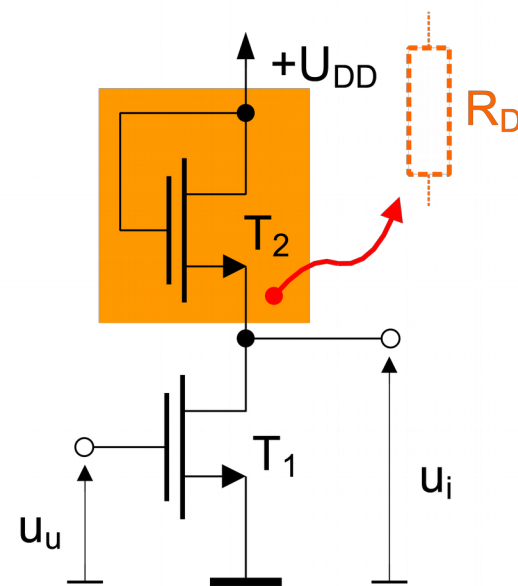
A	f
N	V
V	N

A	f
0	1
1	0



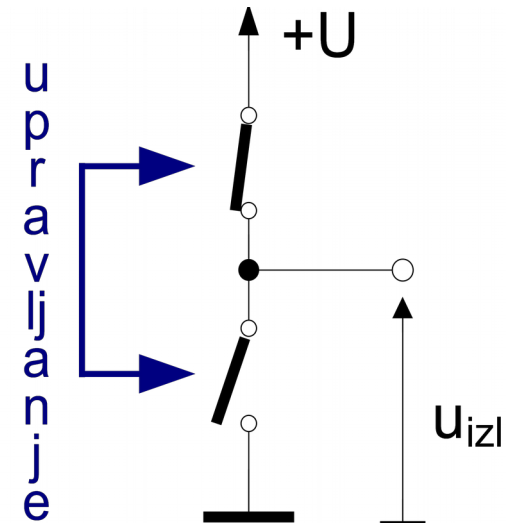
Izvedbe invertora

- izvedba invertora s *MOSFET*
~ tipično NMOS:
 - funkcijski identično rješenju s bipolarnim tranzistorom
 - *naponska* pobuda
~ troši manje snage ☺
 - $R_{PU} \sim T_2$ spojen kao dioda:
 $R_{PU} = R_{ekv} = R_D \approx 100 \text{ k}\Omega$
 - *spori* odziv $N \rightarrow V$ (na izlazu)
 - $t_r \gg t_f$
 - izolirana upravljačka elektroda
~ statički elektricitet
može probiti izolaciju! ☹



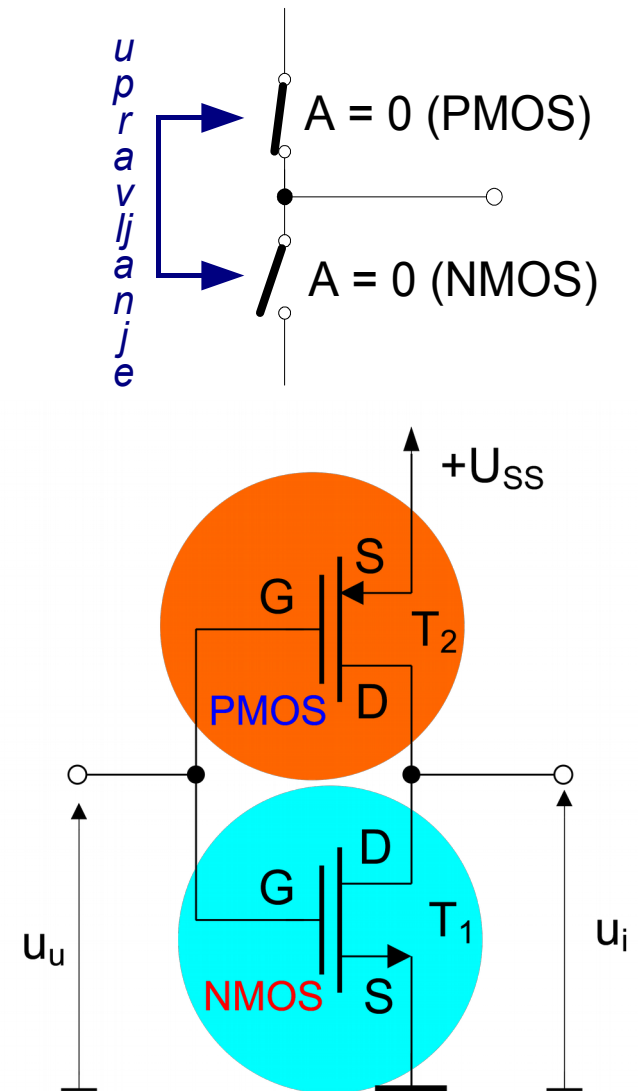
Izvedbe invertora

- poboljšanje izvedbe invertora u tehnologiji MOSFET
~ model sklopke "u protuspoju":
 - kontakti se zatvaraju *u protuspoju*:
nije potreban $R_{PU} = R_D$!
~ gotovo nikakva potrošnja!
 - brže rješenje
~ $t_r \approx t_f$
 - potrebno ostvariti
električki simetrične sklopke
~ *komplementarne* su!!!



Izvedbe invertora

- izvedba invertora s *CMOS* (engl. Complementary MOS)
~ sklopke u protuspoju:
 - naponska pobuda
 - T_1 i T_2 električki simetrični
~ *komplementarni*
 - T_1 je NMOS
 - T_2 je PMOS
(komplementarno ponašanje)
 - $t_r \approx t_f$



Izvedbe univerzalnih sklopova NI i NILI

- izvedba univerzalnog sklopa *kompozicijom funkcija* (kaskadiraanjem sklopova):

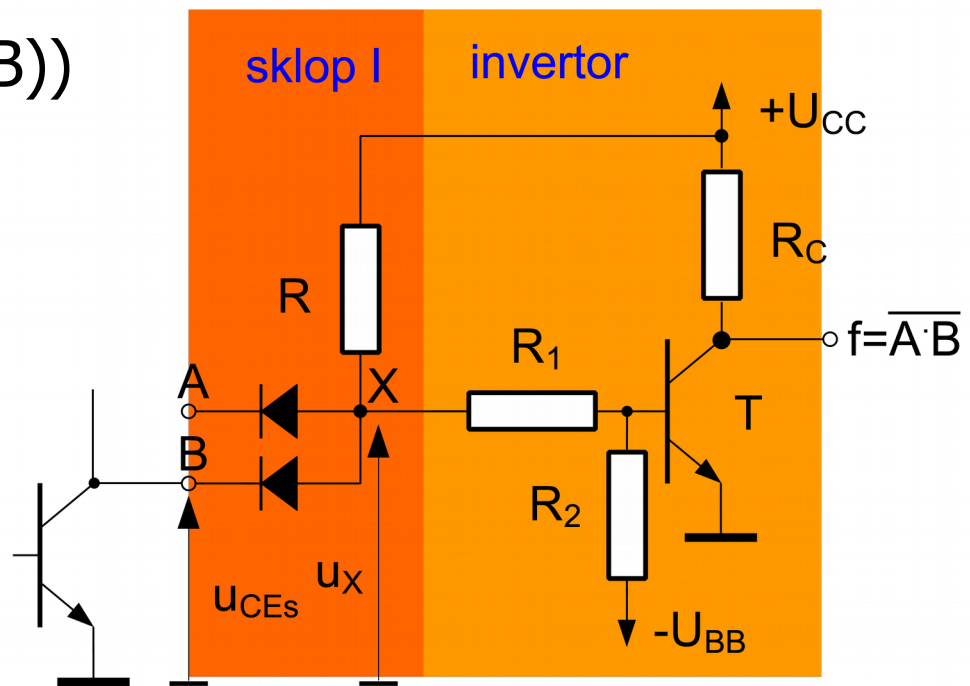
- karakteristično za *bipolarnu* tehnologiju (BJT)

- tipično $NI = NE \circ I$
 $\sim NI(A, B) = NE(I(A, B))$

- *diodni* sklop I

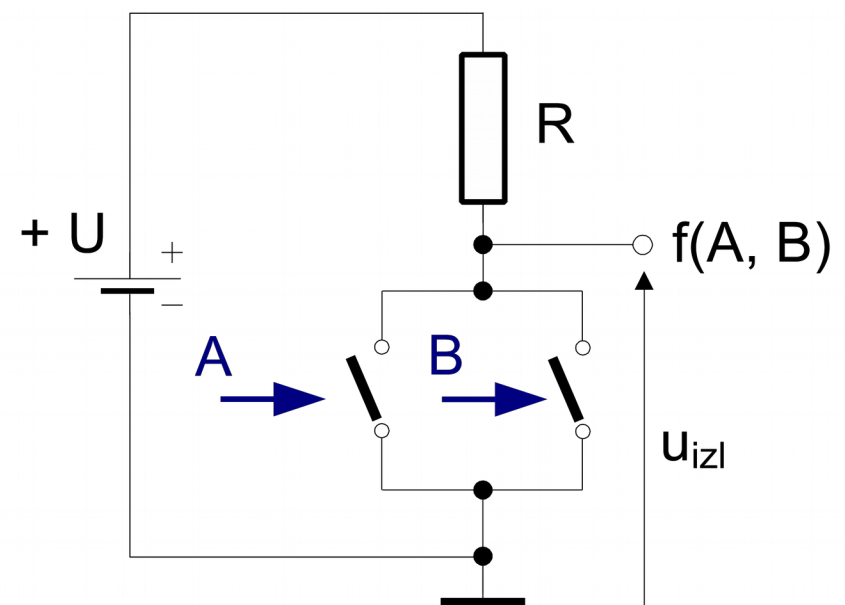
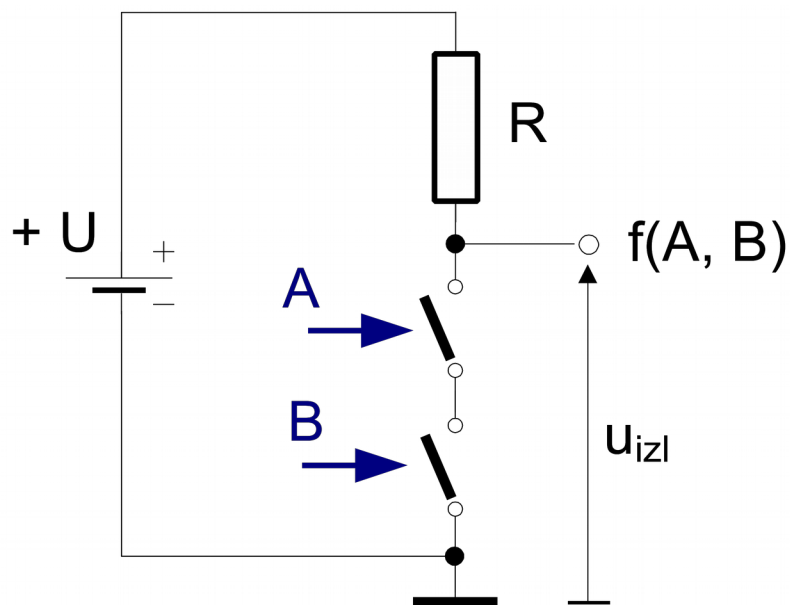
- invertor s BJT

- *koncept* za čitav niz (bipolarnih) skupina integriranih logičkih sklopova



Izvedbe univerzalnih sklopova NI i NILI

- konceptualne izvedbe univerzalnih sklopova (pozitivna logika):
 - *serijski* spoj sklopki $\sim$ sklop NI
 - *paralelni* spoj sklopki $\sim$ sklop NILI

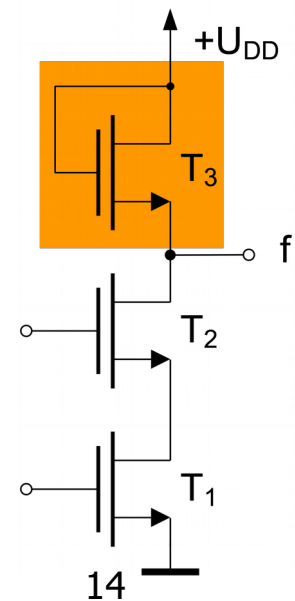
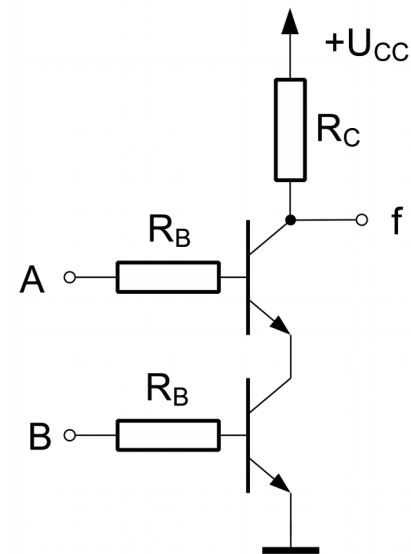


Izvedbe univerzalnih sklopova NI i NILI

- izvedba sklopa NI (pozitivna logika)
~ *serijski spoj tranzistora (kaskoda)*
 - $U_{izlN} = \Sigma U_S$ tranzistora > 0 V
~ uglavnom se izbjegava
 - praktične izvedbe jedino u NMOS

A	B	f
N	N	V
N	V	V
V	N	V
V	V	N

A	B	f
0	0	1
0	1	1
1	0	1
1	1	0



Izvedbe univerzalnih sklopova NI i NILI

- izvedba sklopa NILI (pozitivna logika)

~ paralelni spoj tranzistora:

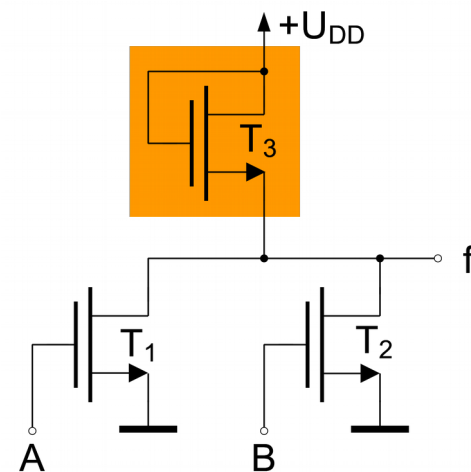
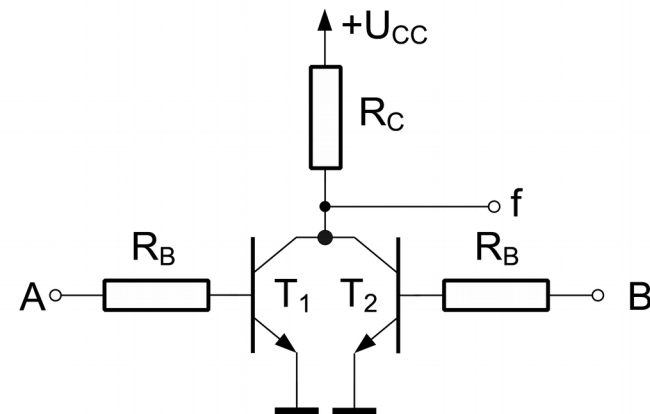
- bolja električka svojstva

(nema $U_{izlN} = \Sigma U_S$)

~ izvedba izbora

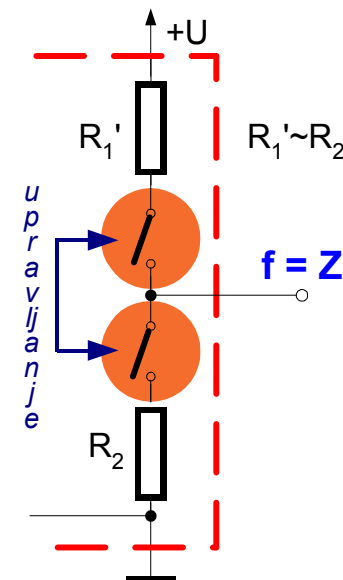
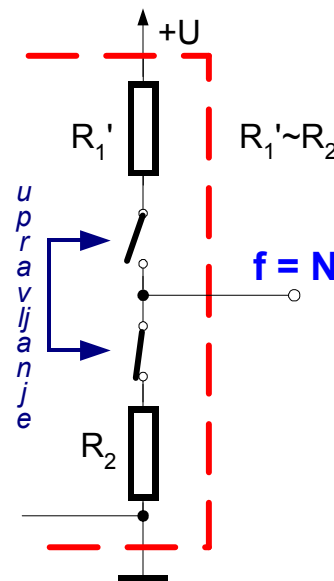
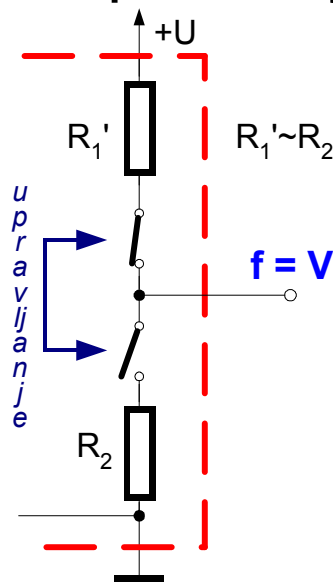
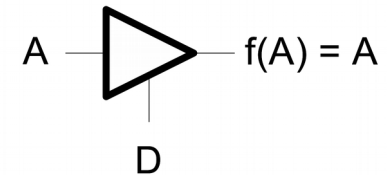
A	B	f
N	N	V
N	V	N
V	N	N
V	V	N

A	B	f
0	0	1
0	1	0
1	0	0
1	1	0



Direktno povezivanje izlaza

- sklop s (izlazom s) tri stanja (engl. three-state logic)
~ odvajanje izlaza sa sklopkama u protuspoju:
 - visoko (V)
 - nisko (N)
 - "stanje visoke impedancije" (Z)
~ obje izlazne sklopke *isključene* :
nema pritezanja ni prema V, a niti prema N

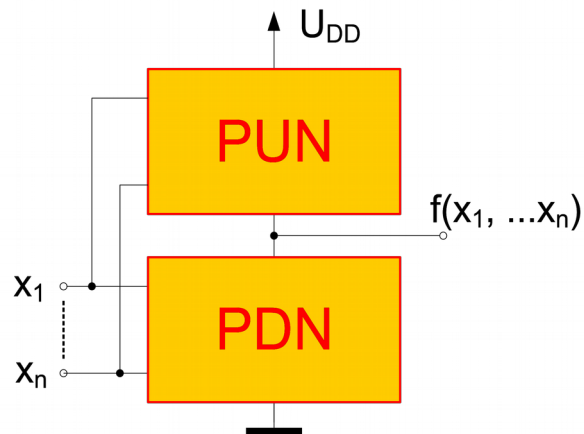


Sadržaj predavanja

- interpretacija logičkih vrijednosti
- implementacije osnovnih logičkih sklopova
- implementacije drugih logičkih sklopova
- **izvedbe logičkih sklopova u tehnologiji CMOS**
- koncept integriranog sklopa
- električka svojstva integriranih izvedbi
- dinamička svojstva integriranih izvedbi
- skupine integriranih logičkih sklopova

Izvedbe u tehnologiji CMOS

- univerzalni CMOS sklopovi
~ izvođenje iz NMOS sklopova:
 - mreža za pritezanje na masu
(engl. Pull-Down Network, PDN)
 - mreža za pritezanje na napajanje
(engl. Pull-Up Network, PUN)



Izvedbe u tehnologiji CMOS

- PRIMJER NA PLOČI!!!

Izvedbe u tehnologiji CMOS

Naponska područja, granice smetnje, faktor grananja, disipacija snage:

<https://ferko.fer.hr/diglog/Cupic/podsjetnici/DL-tema5-dopuna.pdf>

Električka svojstva integriranih izvedbi

Primjer:

$$U_{\text{nap1}} = 5 \text{ V}; \quad f_1 = 100 \text{ MHz}$$

$$U_{\text{nap2}} = 3,3 \text{ V}; \quad f_2 = ? \text{ uz } P_d = \text{const.}$$

$$P_d = f \cdot C \cdot U^2$$

$$f_1 \cdot C \cdot U_1^2 = f_2 \cdot C \cdot U_2^2$$

$$f_2 = f_1 \cdot \frac{U_1^2}{U_2^2}$$

$$f_2 = 230 \text{ MHz}$$

$$U_{\text{nap3}} = 1,1 \text{ V}; \quad f_3 = ? \text{ uz } P_d = \text{const.}$$

Sadržaj predavanja

- interpretacija logičkih vrijednosti
- implementacije osnovnih logičkih sklopova
- implementacije drugih logičkih sklopova
- izvedbe logičkih sklopova u tehnologiji CMOS
- koncept integriranog sklopa
- električka svojstva integriranih izvedbi
- **dinamička svojstva integriranih izvedbi**
- skupine integriranih logičkih sklopova

Dinamička svojstva integriranih izvedbi

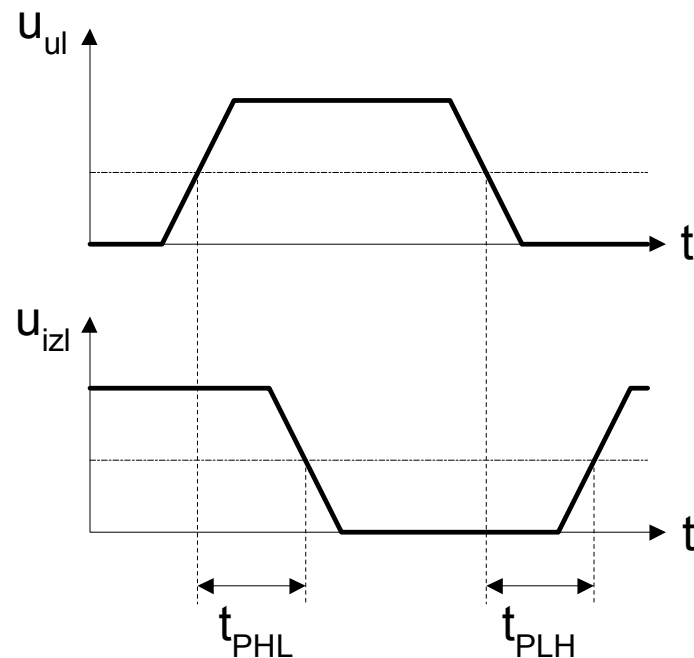
- kašnjenje (odziva) logičkog sklopa
~ promjena (naponske razine) signala na izlazu
u odnosu na promjenu (naponske razine) signala
na ulazu:
 - vrijeme kašnjenja logičkog sklopa, t_d
~ izvedeni parametar,
iz vremene rasprostiranja
 - vrijeme rasprostiranja signala, t_p
~ za pojedine prijelaze
 - mjeri se za $0,5 \cdot U$, odnosno U_T

Dinamička svojstva integriranih izvedbi

- *vrijeme rasprostiranja* (proleta, propagacije), t_p (engl. propagation time)
~ različito za prijelaz $V \rightarrow N$, odnosno $N \rightarrow V$

$$t_{PHL}(t_{DVN}) \neq t_{PLH}(t_{DNV})$$

- *vrijeme kašnjenja*, t_d :
$$t_d = \frac{t_{PHL} + t_{PLH}}{2}$$



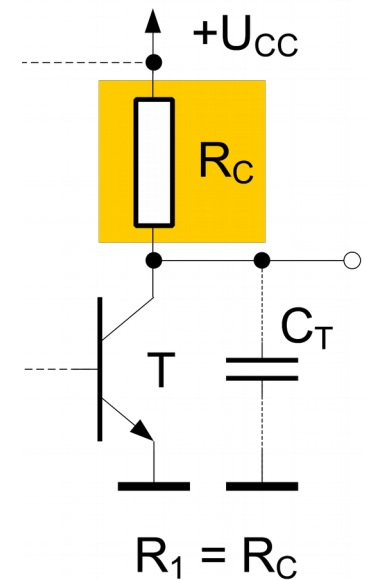
Dinamička svojstva integriranih izvedbi

- *produkt vremena kašnjenja i disipirane snage*
~ mjera *dobrote* integriranog sklopa
 - usporedba skupina integriranih logičkih sklopova
 - dimenzija $[\text{ns}] \times [\text{mW}] = [\text{pJ}]$
 - manji produkt ~ kvalitetniji integrirani sklopovi

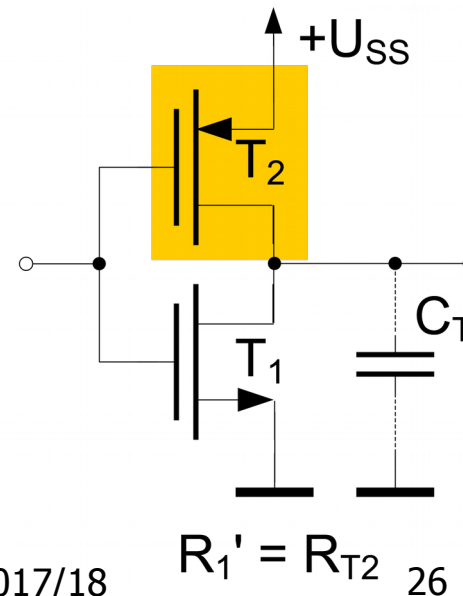
Dinamička svojstva integriranih izvedbi

- *vrijeme porasta i vrijeme pada* signala na izlazu logičkog sklopa
~ utjecaj *izvedbe* izlaznog stupnja:

- "pasivno" opterećenje:
 $R_1 \gg R_2 \rightarrow t_r \gg t_f$



- "aktivno" opterećenje:
 $R_1' \sim R_2 \rightarrow t_r \sim t_f$
~ brža izvedba!



Integrirani logički sklopovi

- klasifikacija integriranih logičkih sklopova prema *stupnju integracije*

		tehnološka	funkcijska
niski stupanj integracije	SSI	< 100	< 10
srednji stupanj integracije	MSI	100-1.000	10-100
visoki stupanj integracije	LSI	1.000-10.000	100-1.000
vrlo visoki stupanj integracije	VLSI	> 10.000	> 1.000
sustav na waferu	WSI		

Integrirani logički sklopovi

- pregled *skupina* integriranih logičkih sklopova:
 - danas u primjeni:
 - CMOS, već 1960tih
 - TTL, 1962
 - ECL, 1963
 - povijesno zanimljive:
 - RTL, 1961
~ prva skupina!
 - DTL/HTL, 1962
 - NMOS/PMOS, 1970te
 - I²L, 1972

Integrirani logički sklopovi

- usporedba *osnovnih parametara* poznatih skupina integriranih logičkih sklopova:

skupina	serija	t_d [ns]	P [mW]		$t_d P$ [pJ]	N_R	U_{GSmin} [V]
			statička	dinamička (100 kHz)			
RTL		30	10		300	5	0,3
DTL		25	15		375	8	0,9
HTL		100	50		5000	10	7
TTL	74	9	10		90	8	0,4
	74S	3	20		60	10	0,3
	74LS	9,5	2		19	100	0,3
	74AS	1,7	8		13,6	10	0,3
	74ALS	4	1,2		4,8	100	0,4
ECL	10k	3	25		75	10	0,25
	100k	0,75	40		30	10	0,25
I ² L		40	1		40	8	
NMOS		50	0,1		5	50	
CMOS	4000	50	0,001	0,1	5	> 100	1,5
	74C	30	<0,001			> 100	0,6
	74HC	8	0,02	0,17	1,4	> 100	0,9